

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-116275

(43)Date of publication of application : 07.05.1996

(51)Int.CI.

H03M 13/12  
G11B 20/10  
H03H 17/00  
H04L 25/08  
H04L 25/497

(21)Application number : 06-252347

(22)Date of filing : 18.10.1994

(71)Applicant : HITACHI LTD

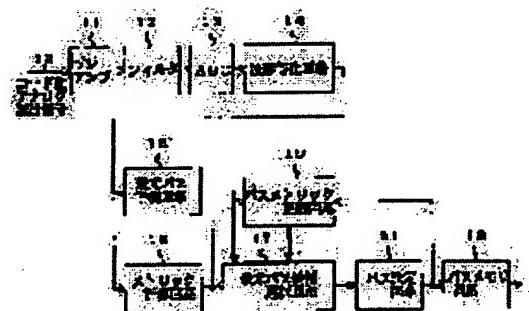
(72)Inventor : NISHITANI TAKUJI  
MIYAZAWA SHOICHI  
NARA TAKASHI  
TAKASHI TERUMI  
YAMAKAWA HIDEYUKI

## (54) DIGITAL SIGNAL DECODING PROCESSING UNIT

### (57)Abstract:

**PURPOSE:** To simplify the circuit configuration and to reduce the effect of error onto waveform equalization by limiting the number of state nodes being objects of arithmetic operation to be a prescribed number or below at all times.

**CONSTITUTION:** A maximum likelihood path prediction circuit 15 uses an equalization value in several bits consecutive to discrimination object bits and selects a shortest path from each node with respect to the several bits. Furthermore, a metric calculation circuit 16 calculates all metric values with respect to object bits. A maximum likelihood candidate selection circuit 17 calculates a metric of a shortest path from a survival node in bits of decoding objects up to several bits before. A path decision circuit 21 compares metric values fed from the maximum likelihood candidate selection circuit 17 to decide a survival node at a succeeding time. Furthermore, a path metric update circuit 19 calculates a metric difference between survival nodes and provides the result of calculation to the maximum likelihood path candidate selection circuit 17. Then a path memory circuit 18 converges a path selected by the path decision circuit 21. The converged decoding result is outputted as a final decoding result.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Unexamined Japanese Patent Publication 08-116275  
Published 7 May 1996  
Translation of Specification and Claims into English  
By Japanese Patent Office  
With Japanese Drawings

Application number: 06-252347  
Filing date: 18 October 1994

Inventor(s): Nishitani et al.  
Applicant: Hitachi Ltd.

[Claim(s)]

[Claim 1] Are a predetermined identification method and the regenerative signal which digitizes the analog signal showing the coding binary data transmitted through the channel, and is acquired is equalized. In the digital signal decryption processor which performs the Viterbi decryption processing in which a decode result is obtained by choosing the maximum \*\* pass based on a trellis diagram It is based on the identification value about two or more consecutiveness bits obtained from a current analog signal following the reset bit and the reset bit concerned under playback. The digital signal decryption processor characterized by considering as the configuration possessing the condition node limiting circuit which always restricts the number of condition nodes for [ in said trellis diagram ] an operation to fixed numbers.

[Claim 2] The metric value adder circuit adding the metric value acquired from the maximum \*\* pass based on the condition node of said trellis diagram in the metric value with which said condition node limiting circuit is obtained from the condition node of said trellis diagram in the reset bit concerned, and each the bit of the consecutiveness concerned, The digital signal decryption processor according to claim 1 characterized by considering as the configuration possessing the condition node selection circuitry which chooses the condition node for [ in the following reset bit ] an operation based on the aggregate value computed by said metric value adder circuit.

[Claim 3] The digital signal decryption processor according to claim 1 or 2 characterized by making said identification method into a partial response method or extended partial response class 4 (EPR4) method.

[Claim 4] The digital signal decryption processor according to claim 1 or 2 characterized by reproducing the signal encoded in 8 / 9GCR (Group Coded Recording) code in said regenerative signal.

[Claim 5] The digital signal decryption processor according to claim 3 characterized by making into two nodes the number of the condition nodes a triplet and for [ which are chosen ] an operation for the number of said consecutiveness bits.

[Claim 6] The digital signal decryption processor according to claim 1 characterized by considering as the configuration possessing the register used for calculation and maintenance of the metric value from the maximum \*\* pass based on the condition node

in which each transition is possible to each of said consecutiveness bit of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned.

[Claim 7] The digital signal decryption processor according to claim 1 characterized by considering as the configuration possessing the register used for calculation and maintenance of the difference of a metric value to each of the combination of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned.

#### [Detailed Description of the Invention]

##### [0001]

[Industrial Application] This invention relates to a digital signal decryption processor, and relates to the digital signal decryption processor which realizes decryption processing to the regenerative signal which digitizes the analog signal showing the coding binary data especially transmitted through the channel, and is acquired.

##### [0002]

[Description of the Prior Art] Although the densification of the recording density of magnetic recording is being enhanced every year, in the present magnetic recorder and reproducing device, the peak detection channel which carries out analog signal processing for every bit is used widely (peak detection method). The 1-bit detection window in the usual peak detection channel becomes very small with the increment in recording density and a transfer rate, and it is known for this method that detection dependability will fall. Then, in order to raise detection dependability, instead of the above-mentioned method, the method using a partial response maximum likelihood (PRML) channel is proposed. The detail is discussed by the paper shown below.

(1) Forney and "Maximum-Likelihood Sequence Estimation of Digital Sequences in the Presence of Intersymbol Interference and "IEEE Trans. on Info. Theory and vol. IT-18, No.3, and 1972 May

(2) Kobayashi and "Application of Probabilistic Decoding to Digital Magnetic Recording Systems" IBM J. Res. Develop. and 1971 January

(3) Cideciyan et al., "A PRML System for Digital By the PRML channel characterized by the polynomial (1-D) (1+D) in Magnetic Recording, "IEEE J. on Selected Areas in Communications, Vol.10, and No.1 month and January, 1992 The bit string of maximum likelihood is detected out of all the signal sequences that may happen. This detection is efficiently performed using the approach called the Viterbi algorithm. Thereby, a PRML method can realize one 1.3 to 1.5 times the surface recording density of this to the conventional peak detection method.

[0003] Furthermore, in order to aim at improvement in recording density, it is a polynomial (1-D) (1+D) 2. The method which reduces a decode error is proposed by

using the characterized extension response maximum likelihood (EPRML) channel. The detail is discussed by the paper shown below.

(4) K. Knudson, et al., "Dynamic Threshold Implementation-ofthe-Maximum-Likelihood Detector for the EPR4 Channel," Proc. of GLOBECOM '91, pp.2135-2139

(5) A. Patel, "A New Digital Signal Processing Channel for Data Storage Products," IEEE Transactions on Magnetics, Vol.27, No.6, November 1991 others, Once decoding by the PRML channel, the method which makes detection and correction of a decode error using the pattern of an identification error (difference of a decode value and an identification value) is proposed. The detail is discussed by the paper shown below.

(6) R. Wood, "Turbo-PRML : A Compromise EPRML Detector", and IEEE Transactions on Magnetics, Vol.29, No. 6 and November 1993

[0004]

[Problem(s) to be Solved by the Invention] If the EPRML channel mentioned above in magnetic recording is used, compared with a conventional peak detection method or a conventional PRML method, surface recording density can be raised further. However, since the amount of operations of the Viterbi algorithm required for decryption processing increased very much when an EPRML channel was used, while the decode rate fell, the circuit scale became large, and there was a trouble that a production cost will increase. Here, although the EPRML channel was realizable by adopting a sequence detection algorithm about the problem of a circuit scale in the simpler circuit, since this algorithm was premised on use of a run (1:7) length code (RLL), it had the trouble that coding effectiveness will fall increasingly and a transfer rate will become slow. There was a trouble that a circuit scale will become large and a production cost will increase on the other hand since a big delay circuit is needed in order to hold the identification value by the turbo PRML method which corrects a decode error after performing decryption processing using a PRML channel until decode is once completed by the PRML channel.

[0005] Therefore, the purpose of this invention solves the above-mentioned trouble, and is controllable in the consistency of the write-in transition on \*\* record medium, and the operation in connection with \*\* decryption processing and its circuitry for it are simple, and it is to offer the digital signal decryption processor which cannot be easily influenced by the error of waveform equalization resulting from the nonlinearity of\*\* magnetic-recording process.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the digital signal decryption processor of this invention is a predetermined identification method, and equalizes the regenerative signal which digitizes the analog signal showing the coding binary data transmitted through the channel, and is acquired, and in the digital signal decryption processor which performs the Viterbi decryption processing in which a decode result is obtained, it carries out as the configuration shown below by choosing the

maximum \*\* pass based on a trellis diagram.

[0007] \*\* Provide the condition node limiting circuit which always restricts the number of condition nodes for [ in said trellis diagram ] an operation to fixed numbers based on the identification value about two or more consecutiveness bits obtained from a current analog signal following the reset bit and the reset bit concerned under playback.

[0008] \*\* Said condition node limiting circuit possesses the metric value adder circuit adding the metric value acquired from the maximum \*\* pass based on the condition node of said trellis diagram in the metric value acquired from the condition node of said trellis diagram in the reset bit concerned, and each the bit of the consecutiveness concerned, and the condition node selection circuitry which chooses the condition node for [ in the following reset bit ] an operation based on the aggregate value computed by said metric value adder circuit.

[0009] \*\* Let said identification method be a partial response method or extended partial response class 4 (EPR4) method.

[0010] The signal encoded in 8 / 9GCR (Group Coded Record--ing) code in said regenerative signal in \*\*\*\* should be reproduced.

[0011] Let the number of the condition nodes a triplet and for [ which are chosen ] an operation be two nodes for the number of said consecutiveness bits in \*\*\*\*.

[0012] The register used for calculation and maintenance of the metric value from the maximum \*\* pass based on the condition node in which each transition is possible is provided to each of said consecutiveness bit of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned in \*\*\*\*.

[0013] The register used for calculation and maintenance of the difference of a metric value to each of the combination of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned in \*\*\*\* is provided.

[0014]

[Function] The operation based on the above-mentioned configuration is explained.

[0015] In the digital signal decryption processor of this invention Are a predetermined identification method and the regenerative signal which digitizes the analog signal showing the coding binary data transmitted through the channel, and is acquired is equalized. In the digital signal decryption processor which performs the Viterbi decryption processing in which a decode result is obtained by choosing the maximum \*\* pass based on a trellis diagram While becoming controllable about the consistency of the write-in transition on a record medium by considering as the configuration shown below, the operation in connection with decryption processing and the circuitry for it become

simple, and the effect of the error of waveform equalization resulting from the nonlinearity of a magnetic-recording process decreases.

[0016] \*\* Provide the condition node limiting circuit which always restricts the number of condition nodes for [ in said trellis diagram ] an operation to fixed numbers based on the identification value about two or more consecutiveness bits obtained from a current analog signal following the reset bit and the reset bit concerned under playback.

[0017] \*\* Said condition node limiting circuit possesses the metric value adder circuit adding the metric value acquired from the maximum \*\* pass based on the condition node of said trellis diagram in the metric value acquired from the condition node of said trellis diagram in the reset bit concerned, and each the bit of the consecutiveness concerned, and the condition node selection circuitry which chooses the condition node for [ in the following reset bit ] an operation based on the aggregate value computed by said metric value adder circuit.

[0018] \*\* Let said identification method be a partial response method or extended partial response class 4 (EPR4) method.

[0019] The signal encoded in 8 / 9GCR (Group Coded Record--ing) code in said regenerative signal in \*\*\*\* should be reproduced.

[0020] Let the number of the condition nodes a triplet and for [ which are chosen ] an operation be two nodes for the number of said consecutiveness bits in \*\*\*\*.

[0021] The register used for calculation and maintenance of the metric value from the maximum \*\* pass based on the condition node in which each transition is possible is provided to each of said consecutiveness bit of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned in \*\*\*\*.

[0022] The register used for calculation and maintenance of the difference of a metric value to each of the combination of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned in \*\*\*\* is provided.

[0023]

[Example] Hereafter, one example of the digital signal decryption processor of this invention is explained to a detail using a drawing.

[0024] Drawing 1 is the block diagram showing the outline configuration of the magnetic-recording regenerative circuit where the digital signal decryption processor of this invention is applied. Among this drawing, after the signal which read in the record medium 200 which records data (for example, magnetic disk etc.), and was read by the head 201 is amplified by the preamplifier 202, a filter 203 removes a RF noise. After the regenerative signal with which the high frequency noise was removed is changed into a

digital signal by ADC (an analog / digital transducer) 204, identification for decode (the original digital signal is made easy to operate orthopedically the amplitude characteristic and the phase characteristic of a signal which were reproduced, and to identify to "1" or "0") is performed by the equalizer 205. Discernment playback of the signal by which identification was carried out is carried out by the decoder circuit 206 at a digital signal. VCO 207 generates the clock signal CLK 208 which determines the timing of each part of operation using the output of an equalizer 205.

[0025] Drawing 2 is the block diagram showing an example of the whole configuration of the digital signal decryption processor of this invention, and this equipment consists of a signal-processing channel described below. As for a signal-processing channel, the read-out signal of an analog is supplied from a transducer through this circuit 10 including a circuit 10. A transducer is a magnetic or optical read head for example, in digital storage. This read-out signal corresponds to 8/9 data sequence memorized. Here, 8/9 data sequence is a binary data sequence coded using 8 / the 9GCR code at the time of a store. A read-out signal passes along the preamplifier 11 with AGC, and the low band pass filter 12. ADC 13 changes an analog input signal into a digital sampled value at the time of a fixed clock. Next, a digital sampled value is passed to a waveform equalization circuit 14. In the case of EPR4 identification, in a waveform equalization circuit 14, the solitary-wave form in a reading point (1, 2, 1) Identification is carried out to a target wave which becomes. on the other hand -- the case of EEPR4 identification -- said target wave (1, 3, 3, 1) it becomes -- identification is carried out like.

[0026] The maximum \*\* pass prediction circuit 15 chooses the shortest pass from each node to this number bit using the identification value of several bits which follows the bit for discernment. Moreover, the metric count circuit 16 calculates all the metric values over an object bit. That is, the distance of six values with each and identification values of 2, 1, 0, -1, and (2, 1) is calculated.

[0027] It calculates metric one of the shortest pass from the survival node in the bit for decode to several bit beyond by the maximum \*\* pass candidate selection circuitry 17 having the output of the maximum \*\* pass prediction circuit 15 and the metric count circuit 16, and being. The pass decision circuit 21 compares the metric value sent from the maximum \*\* pass candidate selection circuitry 17, and determines the survival node in degree time of day.

[0028] Using the value currently calculated and held in the metric count circuit 16, and the survival node number chosen by the maximum \*\* pass candidate selection circuitry 17, the pass metric update circuit 19 calculates the metric difference between survival nodes, and outputs it to the maximum \*\* pass candidate selection circuitry 17.

[0029] The pass memory circuit 18 consists of a shift register which memorizes the value of the pass which was chosen in said pass decision circuit 21, and which survives and is determined from a node, and completes the pass chosen in the pass decision circuit 21. The convergent decode result is outputted as a final decode result.

[0030] Hereafter, before explaining this example to a detail, an EPRML channel is simply explained using the example in magnetic recording.

[0031] Drawing 3 is drawing showing an example of the decryption processing result by the EPRML channel method, and shows stored data, the data written in a medium, the data of each part at the time of decode, and the sequence of a sampled value. The 8 bits (1 byte) code which should be recorded is changed into a 9-bit record sign among this drawing according to the conversion Ruhr (patent application public notice Taira 3-6699) of the 8 / the 9GCR code defined beforehand. Drawing 3 (a) shows the example which expressed the sign sequence recorded on a record medium by the NRZ code (coding method which bit information is made to correspond to two conditions, and records it). The wave actually written in a record medium is the middle sign which performed processing shown with the following formula (1) to the record sign like the sequence shown in drawing 3 (b).

$$bi = ai + bi-1 - bi-2 - bi-3 \pmod{2} \quad (1)$$

<-- However -- ai:record sign bi:middle sign > -- when this sign is read from a magnetic-recording medium, it becomes a wave as shown in drawing 3 (c) from the differential property which a channel has. The wave which performed further (1+D) 2 processing to drawing 3 (d) is shown. Drawing 3 (e) is the result of performing 2 (1+D) processing and identification processing. Thus, impulse response of a channel [ as opposed to the 1-bit isolated data by the side of record by performing coding using a formula (1) ] (1, 1, -1, -1) It becomes the response to say. Drawing 3 (f) is the result of performing Viterbi decoding using an identification wave and searching for the decode result of maximum likelihood. To 1, 0 and 2 can decode 1 of this decode result, and -1 by changing 0 at the original record sign (NRZ code).

[0032] Here, the view fundamental about Viterbi decoding is summarized. Now, let  $g$  be the discretized impulse response ( $g_0, g_1, \dots, g_L$ ), It gives.  $L$  is the die length of the intersymbol interference of this channel. That is, it considers as a channel with memory die-length  $L$ . When the sending signal in time of day  $k$  is set to  $a_k$  here, the signal which passed the channel can be expressed with the following formula (2) when there is no noise.

$$z_k = a_k g_0 + a_{k-1} g_1 + \dots + a_{k-L} g_L \quad (2)$$

The input signal  $y_k$  which the noise joined can be further expressed with the following formula (3).

$$y_k = z_k + n_k \quad (3)$$

In addition --  $a_k$  -- a binary signal -- it is -- 0 -- or it is referred to as 1. In this case, by this channel, the combination of the intersymbol interference from which the  $L$ th power individual of 2 differs arises from previous channel die-length  $L$ . This is called "condition." Namely, time of day  $k-1$  Condition  $S_{k-1}$  which can be set is given with the

following formula (4).

$$S_{k-1} = \{a_{k-1}, \dots, a_{k-L}\} \dots \quad (4)$$

Impulse response in EPRML (1, 1, -1, -1) \*\* -- since it becomes the response to say, it becomes the die length  $L=3$  of the interference between agreements of a previous channel, and there may be eight kinds of conditions. What expressed transition between this condition serially is called a trellis diagram. Drawing 4 is drawing showing an example of the trellis diagram in an EPRML channel method. A left end number is a state number to the node of each time of day among this drawing. The display (ideal identification value of upper pass)/(ideal identification value of lower pass) shows the ideal identification value which does not have the noise of the pass from each condition in the right.

[0033] Now, the output  $z_k$  and Condition  $S_k$  in time of day  $k$  are decided from the input  $a_k$  in time of day  $k$ , and condition  $S_{k-1}$  so that it may understand by the formula (2) mentioned above and (3). That is, if the one newest transmitting sign is inputted, the condition of changing to a degree uniquely according to it is decided. Therefore, if an input signal shows transition of a condition conversely, the original input signal can be determined. If there is no noise in an input signal,  $z_k$  set to  $-(y_k - z_k)^2 = 0$  surely exists, and can opt for transition of a condition immediately from this value. Although a noise is included in an actual regenerative signal, it is  $-(y_k - z_k)^2$  in this case. Since a value has a certain distribution, it is necessary to presume the value of original  $z_k$  from this distribution. If that to which  $z_k$  which makes the value of  $-(y_k - z_k)^2$  max (namely, the value of Euclidean distance  $(y_k - z_k)^2$  min) was transmitted is presumed when a noise follows Gaussian distribution, this will become maximum likelihood decoding. Up to the condition  $j$  in now and time of day  $k$  Maximum of the sum of  $\{-(y_k - z_k)^2\}$  is made to express "metric one" of Condition  $j$ , a call, and this with  $L_k$  and  $j$ . namely,

$$L_k \text{ and } j = \sum \{-(y_k - z_k)^2\} \dots \quad (5)$$

Time of day  $k-1$  From the condition  $i$  that it can set, since  $a_k$  is binary in the formula (4) which mentioned above possible transition at time of day  $k$ , two kinds exist. That is, two kinds of pass always emits from Condition  $i$ . On the contrary, two kinds of pass always joins the condition  $j$  in time of day  $k$ . Then, what fills the following formula (6) among these pass is always chosen.

$$L_k, j = \max \{L_{k-1}, j - (y_k - z_k)^2\} \dots \quad (6)$$

The pass which gives this  $L_k$  and  $j$  is called "survival pass." In each time of day, Viterbi decoding performs in round actuation described above. Consequently, although two or more pass exists in the beginning, only a certain specific pass survives and condition transition is decided as time amount passes.

[0034] If Viterbi decoding using EPRML is performed as it is, in order to have to perform pass selection which followed the formula (6) for every bit to eight kinds of all

conditions, the amount of operations not only increases very much, but the pass memory which memorizes the state transition which results in each condition node is needed to eight kinds of all conditions until the maximum \*\* pass is decided. For this reason, although the scale of the circuit for generally realizing EPRML will become large, in this example, pass selection which has the engine performance equivalent to EPRML is performed, always limiting the survival pass in each time of day to two kinds, in order to reduce the scales of the circuit which realizes EPRML.

[0035] [Selection of survival pass] Drawing 5 is drawing for explaining the selection approach of the survival pass in the digital signal decryption processor of this invention, and presupposes that the condition nodes which have survived in time of day k are N0 and N1 among this drawing. moreover, the node which can change from two kinds of this node -- M0 and M1 -- and -- M2 and M3 it is -- \*\* -- it carries out. Time of day k+1 which changes from these four kinds of nodes And k+2 Pass is chosen so that metric one may serve as min (this selection approach is explained in full detail later), and they are the metric values Lk0, Lk1, Lk2, and Lk3 of each pass. It asks according to the following formula (7)

$$Lk, 0 = \delta + (y_k - z_k, 0) 2 + (1 y_{k+1} - z_{k+0}) 2 + (2 y_{k+2} - z_{k+0}) 2$$

$$L_k, 1 = \text{delta} + (y_k - z_k, 1) 2 + (1 \ y_k + 1 - z_k + 1) 2 + (2 \ y_k + 2 - z_k + 1) 2$$

$$\cdot Lk, 2 = (yk - zk, 2) 2 + (1 \ yk+1 - zk+2) 2 + (2 \ yk+2 - zk+2) 2$$

<< However,  $zk, i : [$  The ideal identification value of the  $i$ -th pass in time of day  $k$  ] delta : The metric difference of survival pass >> And decryption processing can be performed by choosing two pass from the smaller one among called-for metric one, surviving the transition node of degree time of day of that pass, choosing as pass, and repeating this procedure hereafter, following the in general optimal pass.

[0036] By the way, since its node to which the number of the node which has survived in time of day k changes from each node when only 4 has shifted corresponds like drawing 5 (b) so that drawing 4 may show although drawing 5 (a) is the case where the node developed from a node N0 and the node developed from a node N1 are not in agreement, the node which survives is uniquely decided as M0 and M1. The pass in that case is determined by the same processing as general Viterbi decoding. That is, the pass which changes to a node M0 chooses the pass of the smaller one among metric one with the following formula (8), and the pass which changes to a node M1 chooses the pass of the smaller one among metric one with the following formula (9).

$$Lk, 0 = \text{delta} + (yk - zk, 0) 2$$

$$Lk, l = \text{delta} + (yk - zk, 1) 2$$

$$L_k, 3 = (y_k - z_k, 3) \quad (9)$$

[Prediction of the maximum \*\* pass] Time of day  $k+1$  required for the count of a formula (7) mentioned above here And  $k+2$  The prediction method of pass is described. Drawing 6 is drawing for explaining the selection approach of the shortest pass in the digital signal decryption processor of this invention. The pass which changes from one node is expressed. If the number of each pass is set to 0, 1, 2, and 3 from a top at order, the metric value of each pass will become like the following formula (10)

$$\text{Pass 0: } L_0 = \{y_1 - (b - 1/2)\} 2 + \{y_2 - (c - 1)\} 2$$

$$\text{Pass 1: } L_1 = \{y_1 - (b - 1/2)\} 2 + \{y_2 - c\} 2$$

$$\text{Pass 2: } L_2 = \{y_1 - (b + 1/2)\} 2 + \{y_2 - c\} 2$$

$$\text{Pass 3: } L_3 = \{y_1 - (b + 1/2)\} 2 + \{y_2 - (c + 1)\} 2 \quad (10)$$

It is a waveform-equalization value there.  $y_1$  and  $y_2$  To a value, in the case of the following three kinds, metric one divides the shortest pass used as min, and considers it.

[0037] \*\*  $y_2 >= c + 1/2$  a case -- this case --  $L_0 >= L_1$  and --  $L_2 >= L_3$  it is -- since -- the shortest pass will be decided if the comparison with  $L_1$  and  $L_3$  is performed.  $L_1 <= L_3$  If the becoming conditions are searched for, it will become like the following formula (11)

$$L_1 <= L_3 : y_1 + y_2 - b - c - 1 / 2 <= 0 \quad (11)$$

\*\*  $c - 1/2 <= y_2$  -- < --  $c + 1 / 2$  a case -- this case --  $L_0 >= L_1$  and --  $L_3 >= L_2$  it is -- since -- the shortest pass will be decided if the comparison with  $L_1$  and  $L_3$  is performed.  $L_1 <= L_2$  If the becoming conditions are searched for, it will become like the following formula (12)

$$L_1 <= L_2 : y_1 - b <= 0 \quad (12)$$

\*\*  $y_2 <= c - 1 / 2$  a case -- this case --  $L_1 >= L_0$  and --  $L_3 >= L_2$  it is -- since -- the shortest pass will be decided if the comparison with  $L_0$  and  $L_2$  is performed.  $L_0 <= L_2$  If the becoming conditions are searched for, it will become like the following formula (13)

$$L_0 <= L_2 : y_1 + y_2 - b - c + 1 / 2 <= 0 \quad (13)$$

It is an identification value about the above result.  $y_1 - y_2$  When it illustrates at a flat surface, the shortest pass which changes from a certain node is shown like drawing 6 (b). Moreover, an example of the constant used for the shortest pass decision from each node of nodes 0-7 is arranged, and it is shown in drawing 7.

[0038] Next, in drawing 8, an example of the whole configuration of the digital signal decryption processor of this invention is shown in a detail, and it explains, using the

detailed explanatory view about each component hereafter.

[0039] The [optimal pass selection circuitry 15] The example of 1 configuration of the optimal pass prediction circuit 15 in drawing 8 is first explained to a detail using drawing 9. The range-arithmetic circuit 20 of the identification value which calculates the range of the identification value over each bit using the identification value to which the maximum \*\* pass prediction circuit 15 is sent from a waveform equalization circuit 14 among this drawing, The shortest pass selection circuitry 22 which chooses the shortest pass in the several bits section using the range of the computed identification value, The expansion node selection circuitry 24 which chooses the node which changes from the node chosen in the bit in front of 1 time of day, Resemble the selectors 25A and 25B which choose and output the shortest pass to the node developed by the expansion node selection circuitry 24 is constituted out of the pass to each node by which the shortest pass selection was made.

[0040] The example of 1 configuration of the range-arithmetic circuit 20 of the identification value in drawing 9 is shown in drawing 10. The waveform-equalization value sent from a waveform equalization circuit 14 and the value (usually 1/2) stored in the register 44 are added in an adder 30 among this drawing. After the count result by the adder 30 is adjusted by register 46B in timing, a comparison is performed in the value and comparator 32 which were defined beforehand. The values compared in Comparators 32A, 32B, 32C, and 32D are 2, 1, 0, and -1, respectively. The comparison result by the comparator 32 is encoded according to the definition of the sign corresponding to the range of an identification value as shown in drawing 11. Timing adjustment is carried out with Registers 46D and 46E, two continuous sign values are added with an adder 38, and this coding result is stored in register 46G. By the above, the sign value stored in register 46G comes to be shown in drawing 12.

[0041] On the other hand, the continuous identification value of 2 bits which had timing adjusted with Registers 46A and 46C is added with an adder 36, and a result is stored in register 46H. Timing adjustment of this addition result is carried out by register 46I, and the comparison with constant value is performed by the comparator 40. Here, the constant value compared by the comparator 40 is as being shown in the column at the right end of drawing 12. The range of the sum of an identification value to continuous 2 bits is determined by this, it encodes with an encoder 42 and the result is stored in register 48B.

[0042] The example of 1 configuration of the shortest pass selection circuitry 22 in drawing 9 is shown in drawing 13. Among this drawing, register 46F and register 48A and register 48B are the registers holding the count result in the range count circuit 20 of an identification value, and hold the sign which expresses the identification values  $y_3$  and  $y_2$  and the range of  $y_3+y_2$ , respectively. Logical circuits 50A, 50B, 50C, 50D, 50E, 50F, 50G, and 50H output the metric number which the shortest pass from a node 0, a node 1, a node 2, a node 3, a node 4, a node 5, a node 6, and a node 7 has, respectively.

[0043] The expansion node selection circuitry 24 consists of selection circuitries 26A and 26B which choose the maximum \*\* pass to each of the two newest survival nodes. The example of 1 configuration of the selection circuitries 26A and 26B in drawing 9 is shown in drawing 14. The selection circuitry consists of logical circuits which input the lower bits A0 and A1 of the binary number showing the number of the newest survival node among this drawing.

[0044] Drawing 15 is drawing for explaining the combination of metric selection in the circuit of drawing 14, and shows the root node to the identification value y1, the node which changes next, the output number used as H (high-level), a start edge node [ as opposed to / to drawing 15 (a) / y2 and y3 for the metric value chosen ], and the output number used as H at drawing 15 (b), respectively.

[0045] [Metric count circuit 16] The example of 1 configuration of the metric count circuit 16 in drawing 8 is shown in drawing 16. Metric one of pass in case there is no identification error in EPRML is five kinds (2, 1, 0, -1, -2), and calculates metric one to these five kinds of pass. However, it calculates by making into a metric difference the value which subtracted only ( $y_2 + 1$ ) in order to simplify a count circuit. Therefore, the value calculated in the metric count circuit 16 performs metric count about four kinds except five-copy Rika and others [-1] in the formula (14) shown below

In drawing 16 , 70A, 70B, and 70C are the shift registers (shifter) for adjusting timing. By shifting only 1 bit and 2 bits by shifters 72 and 74, respectively, the identification value read from shift register 70C reaches 2 times, and is doubled four. A sign is reversed with the sign inverter 76 and the output of a shifter 72 is outputted as  $-2y$  while being outputted as  $2y$  as it is. Moreover, a sign is reversed with an inverter 78, with an adder 80, a constant 3 is added and the output of a shifter 74 is outputted as  $4y+3$  while it is outputted as  $-4y+3$  by adding a constant 3 with an adder 79.

[0046] The output of the metric count circuit 16 by the above is sent to the maximum \*\* pass candidate count circuit 17.

[0047] The [maximum \*\* pass candidate count circuit 17] The example of 1 configuration of the maximum \*\* pass candidate selection circuitry 17 in drawing 8 is shown in drawing 17. Among this drawing, Registers 90A, 90B, and 90C are shift registers for adjusting timing, and the metric value over the bit which shifted at a time 1 time of day is stored. Based on the signal sent from the maximum \*\* pass prediction circuit 15, selection circuitries 92A, 92B, and 92C choose a suitable value from Registers 90A, 90B, and 90C and Registers 94A, 94B, and 94C, and send it to the adder array 96. Here, -1 is stored in Registers 94A, 94B, and 94C. This is the register of a sake in case -1 metric ones of whose in the formula (2) explained previously is a metric difference over the bus of 0 is chosen. The adder of 3 inputs consists of six pieces, and the adder array 96 adds the value sent from Selectors 92A, 92B, and 92C, and stores it in a register

arrangement 98.

[0048] metric one of four pass from [ from eight pass metric stored in the register arrangement 98 based on the signal showing the number of the newly chosen node to which a selector 100 is sent from the pass decision circuit 10 ] the node newly developed -- choosing . An adder 102 calculates the metric difference during these four pass. that is  $a' - b' a' - c' + \text{delta } a' - d' + \text{delta } b' - c' + \text{delta } b' - d' + \text{delta } c' - d'$  ..... (15) Here, delta is a metric difference between the nodes which newly survived, and is sent from the register 168 in the metric update circuit 19.

[0049] [Pass decision circuit 10] The example of 1 configuration of the pass decision circuit 10 in drawing 8 is explained using drawing 18 . Among this drawing, a register 120 is a register which carries out the temporary storage of the survival node in a discernment bit, and a node number is stored in register 120A and register 120B, respectively. Computing elements 122A, 122B, 124A, and 124B are computing elements which calculate the node number developed from the node stored in the register 120. Computing elements 122A and 124A obtain a twice as many node number as this by carrying out 1 bit shift of the 2 bits of the low order of the node number stored in Registers 120A and 120B, respectively. Moreover, computing elements 122B and 124B carry out 1 bit shift of the 2 bits of the low order of the node number stored in Registers 120A and 120B, respectively, and obtain the node number of (2 twice +1) by adding further 1. A selector 126 chooses two survival node numbers from four node numbers from computing elements 122A, 122B, 124A, and 124B according to the signal from the pass selection circuitry 128. While the selected node number is sent to the pass metric update circuit 19, the temporary storage of it is sent and carried out to a register 120.

[0050] The example of 1 configuration of the pass selection circuitry in drawing 18 is shown in drawing 19 . According to the positive/negative of six values sent from six values calculated according to several 15 sent from a selector 121, or a pass metric update circuit, two are chosen from four nodes which can change among this drawing. An example of the combination chosen in the circuit of drawing 19 is shown in drawing 20 . Among this drawing, when a left-hand side formula is not materialized, the combination of the pass with which "1" shows the case where it is materialized and is chosen by the combination of each formation condition determines "0."

[0051] [Pass memory circuit 18] The example of 1 configuration of the pass memory circuit 18 in drawing 8 is shown in drawing 21 . A pass memory circuit consists of the decode value decision circuit 140, a merge circuit 142, and a reversal component 144 among this drawing. The example of 1 configuration of the decode value decision circuit in drawing 21 is shown in drawing 22 . The decode value (binary signal of 1 and 0) of the pass of two is calculated and outputted among this drawing from the combination of the new survival node inputted from the maximum \*\* pass candidate selection circuitry 17, and the number of the survival node in front of the 1 time of day stored in the register 120. The pass with which a decode value is set to 1 in two pass which branches from the survival node in front of 1 time of day becomes like drawing 23 . This judgment is performed in the pass condition judging circuit 146, that result and the information on a

pass number that two survival nodes branched from the survival node in front of 1 time of day, respectively are synthesized in the pass memory input-value decision circuit 148, and the decode value of upper pass and lower pass is determined.

[0052] The output of the decode value decision circuit 140 is sent to the merge circuit 142. The merge circuit 142 consists of a train of two shift registers, and the selector which changes whether the bottom is chosen among \*\*\*\*\* of degree time of day or the bottom is chosen is prepared in front of each register. Drawing 24 is drawing showing an example of the control signal of the selector in the circuit of drawing 21, and shows the condition of the selector in the bottom pass and bottom pass to class doubling of the node of survival. "0" expresses the condition that "1" takes out a lower input for the condition of taking out an upper input as an output in a selector, as an output, among this drawing. Control of the selector of upper pass should just use the input signal about the signal which reversed the input about the survival node (2, 3), then the survival node [ it is good and / control / of the selector of lower pass ] (0, 1) so that drawing 24 may show. An inverter 114 reverses the signal of the combination of the survival node of (2, 3).

[0053] [Pass metric update circuit 19] The example of 1 configuration of the pass metric update circuit in drawing 8 is shown in drawing 25. The pass metric update circuit 19 consists of a register 160, a selector 162, the adder array 164, a selector 166, and a register 168 among this drawing.

[0054] A register 160 holds metric one in each pass. With the signal sent from the pass decision circuit 10, metric one of the pass developed from a survival node is chosen from five metric ones currently held at the register 160, and a selector 162 outputs it. The adder array 164 calculates the metric difference between all the nodes considered as a new survival node of degree time of day using metric one of each pass from a selector 162, and the value of the metric difference between the survival nodes currently held at the register 168. A selector 166 chooses the metric difference corresponding to the number of the survival node of degree time of day spent from the pass decision circuit 10 from six outputs of the adder array 164. A register 168 holds the metric difference between survival nodes.

[0055] A correspondence-related example of the combination of a survival node and metric difference in the circuit of drawing 25 is shown in drawing 26.

[0056] A digital signal can be decoded at a high speed in a circuit small moreover, harnessing the advantage of the EPRML method that low decode of a bit error rate can be performed, in order to decode only using two nodes limited on the trellis diagram according to this invention, as explained above. The example of the reduction effectiveness of a bit error rate is shown in drawing 27. This drawing sets recording density to 2.5 with standardization linear density (the amplitude of a solitary-wave form is the ratio of one half of breadth, and bit spacing), the S/N ratio of the signal (signal in front of A/D conversion) of a reading point is changed, a bit error rate is searched for, and each of A, B, and C is the bit error rate of PRML, this example, and the decode result by EPRML. When comparison contrast of this is carried out, it turns out that a bit error

rate can be fallen or less to 1/10 to the PRML conventional by the engine performance as EPRML in which this example is almost the same.

[0057]

[Effect of the Invention] As explained in detail above, according to the digital signal decryption processor of this invention Are a predetermined identification method and the regenerative signal which digitizes the analog signal showing the coding binary data transmitted through the channel, and is acquired is equalized. In the digital signal decryption processor which performs the Viterbi decryption processing in which a decode result is obtained by choosing the maximum \*\* pass based on a trellis diagram By using the GCR code by considering as the configuration shown below, while becoming controllable, the consistency of the write-in transition on a record medium The operation in connection with decryption processing and the circuitry for it become simple, and the effect of the error of waveform equalization resulting from the nonlinearity of a magnetic-recording process decreases. That is, a decode error is comparatively small-scale and can constitute the digital signal decryption processor which realizes high-density magnetic recording by few EPRML channel methods by the low arithmetic circuit of a production cost.

[0058] \*\* Provide the condition node limiting circuit which always restricts the number of condition nodes for [ in said trellis diagram ] an operation to fixed numbers based on the identification value about two or more consecutiveness bits obtained from a current analog signal following the reset bit and the reset bit concerned under playback.

[0059] \*\* Said condition node limiting circuit possesses the metric value adder circuit adding the metric value acquired from the maximum \*\* pass based on the condition node of said trellis diagram in the metric value acquired from the condition node of said trellis diagram in the reset bit concerned, and each the bit of the consecutiveness concerned, and the condition node selection circuitry which chooses the condition node for [ in the following reset bit ] an operation based on the aggregate value computed by said metric value adder circuit.

[0060] \*\* Let said identification method be a partial response method or extended partial response class 4 (EPR4) method.

[0061] The signal encoded in 8 / 9GCR (Group Coded Record--ing) code in said regenerative signal in \*\*\*\* should be reproduced.

[0062] Let the number of the condition nodes a triplet and for [ which are chosen ] an operation be two nodes for the number of said consecutiveness bits in \*\*\*\*.

[0063] The register used for calculation and maintenance of the metric value from the maximum \*\* pass based on the condition node in which each transition is possible is provided to each of said consecutiveness bit of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers

about the reset bit concerned in \*\*\*\*.

[0064] The register used for calculation and maintenance of the difference of a metric value to each of the combination of the condition node which can change by the following reset bit called for from the condition node restricted to fixed numbers about the reset bit concerned in \*\*\*\* is provided.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the outline configuration of the magnetic-recording regenerative circuit where the digital signal decryption processor of this invention is applied.

[Drawing 2] It is the block diagram showing an example of the whole configuration of the digital signal decryption processor of this invention.

[Drawing 3] It is drawing showing an example of the decryption processing result by the EPRML channel method.

[Drawing 4] It is drawing showing an example of the trellis diagram in an EPRML channel method.

[Drawing 5] It is drawing for explaining the selection approach of the survival pass in the digital signal decryption processor of this invention.

[Drawing 6] It is drawing for explaining the selection approach of the shortest pass in the digital signal decryption processor of this invention.

[Drawing 7] It is drawing showing an example of a constant used by the selection approach of the shortest pass shown in drawing 6.

[Drawing 8] It is drawing showing an example of the whole configuration of the digital signal decryption processor of this invention in a detail.

[Drawing 9] It is drawing showing the example of 1 configuration of the optimal pass prediction circuit in drawing 8.

[Drawing 10] It is drawing showing the example of 1 configuration of the range-arithmetic circuit of the identification value in drawing 9.

[Drawing 11] It is drawing showing an example of a definition of the sign corresponding to the range of an identification value.

[Drawing 12] It is drawing showing an example of a definition of the sign corresponding to the range of the sum of an identification value.

[Drawing 13] It is drawing showing the example of 1 configuration of the shortest pass selection circuitry in drawing 9.

[Drawing 14] It is drawing showing the example of 1 configuration of the selection circuitry in drawing 9.

[Drawing 15] It is drawing for explaining the combination of metric selection in the circuit of drawing 14.

[Drawing 16] It is drawing showing the example of 1 configuration of the metric count circuit in drawing 8.

[Drawing 17] It is drawing showing the example of 1 configuration of the maximum \*\* pass candidate selection circuitry in drawing 8.

[Drawing 18] It is drawing showing the example of 1 configuration of the pass decision circuit in drawing 8.

[Drawing 19] It is drawing showing the example of 1 configuration of the pass selection

circuitry in drawing 18 .

[Drawing 20] It is drawing showing an example of the combination chosen in the circuit of drawing 19 .

[Drawing 21] It is drawing showing the example of 1 configuration of the pass memory circuit in drawing 8 .

[Drawing 22] It is drawing showing the example of 1 configuration of the decode value decision circuit in drawing 21 .

[Drawing 23] It is drawing showing an example of the combination which chooses the decode value in the circuit of drawing 22 .

[Drawing 24] It is drawing showing an example of the control signal of the selector in the circuit of drawing 21 .

[Drawing 25] It is drawing showing the example of 1 configuration of the pass metric update circuit in drawing 8 .

[Drawing 26] It is drawing showing a correspondence-related example of the combination of a survival node and metric difference in the circuit of drawing 25 .

[Drawing 27] It is drawing showing one example of the bit error rate in the digital signal decryption processor of this invention.

[Description of Notations]

11 Preamplifier

12 Filter

13 ADC

14 Waveform Equalization Circuit

15 The Maximum \*\* Pass Prediction Circuit

16 Metric Count Circuit

17 The Maximum \*\* Pass Candidate Selection Circuitry

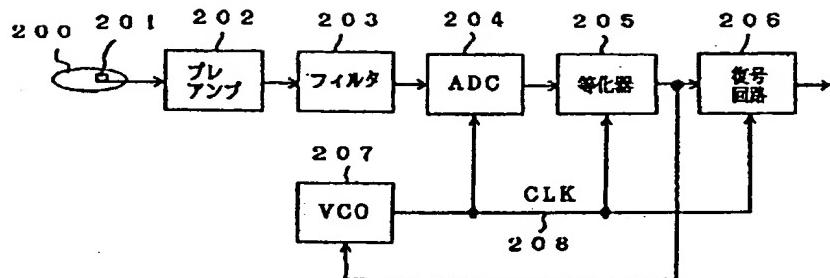
18 Pass Memory

19 Pass Metric Update Circuit

21 Pass Decision Circuit

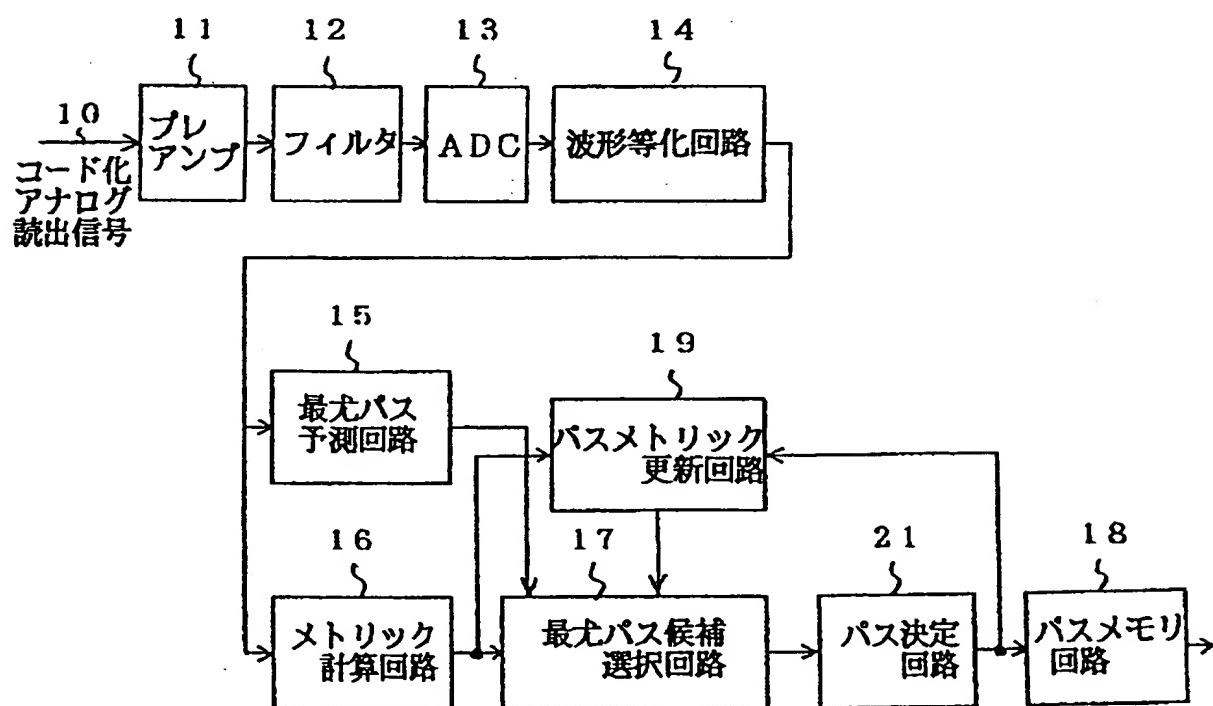
[Drawing 1]

【図1】

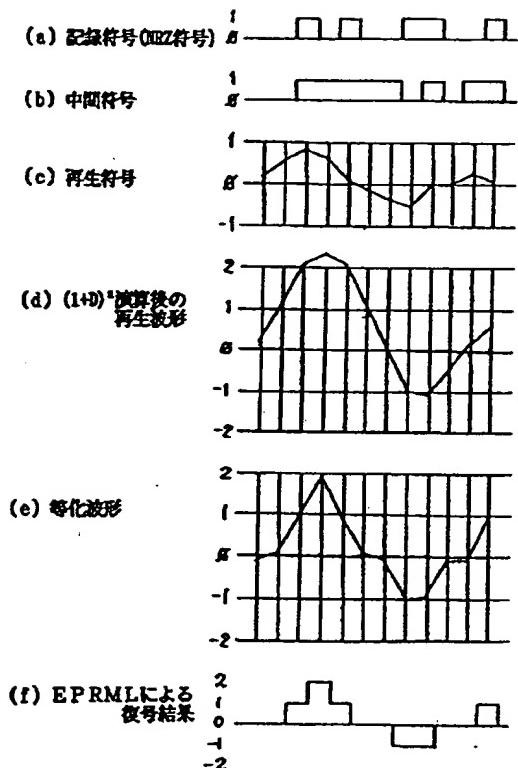


[Drawing 2]

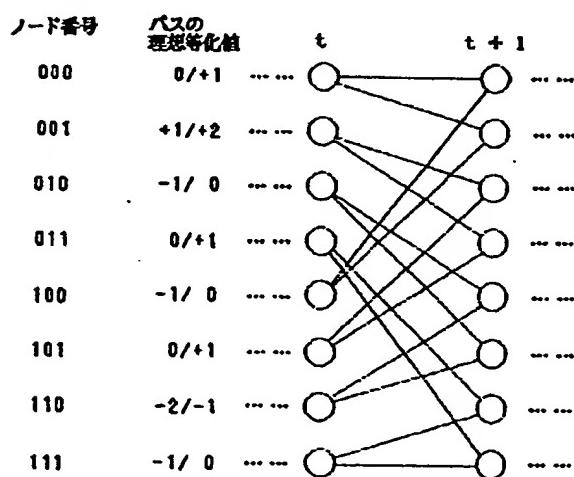
【図2】



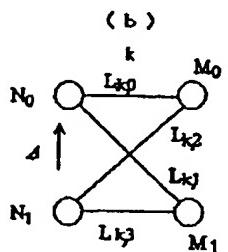
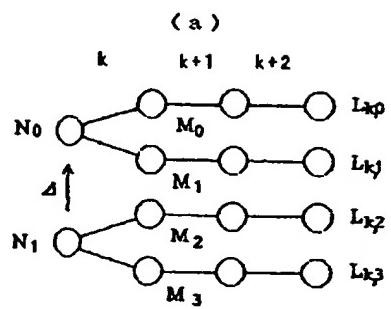
[Drawing 3]  
[図3]



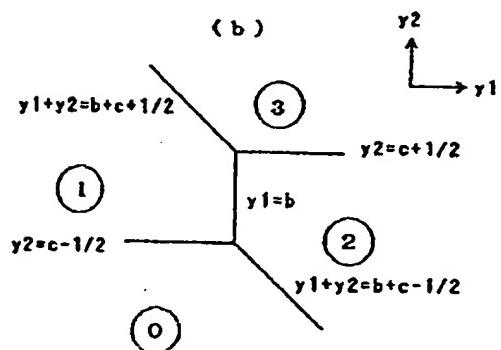
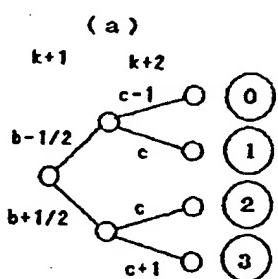
[Drawing 4]  
[図 4]



[Drawing 5] [図 5]



[Drawing 6] [図 6]



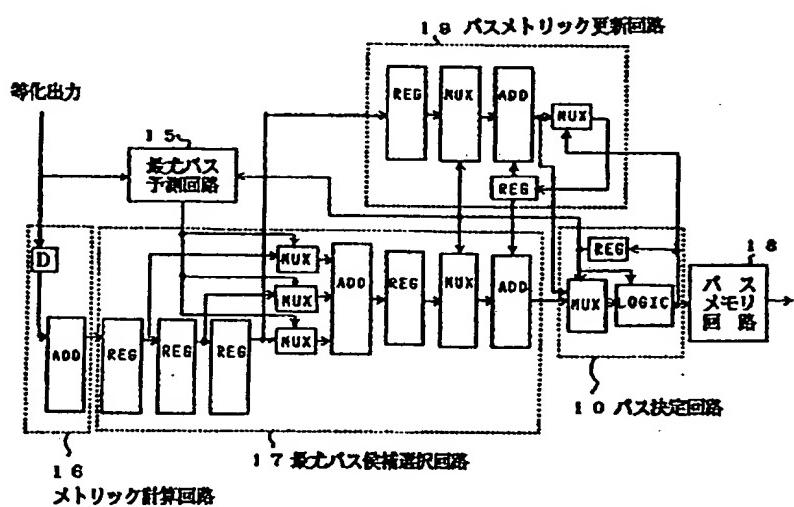
[Drawing 7]

【図 7】

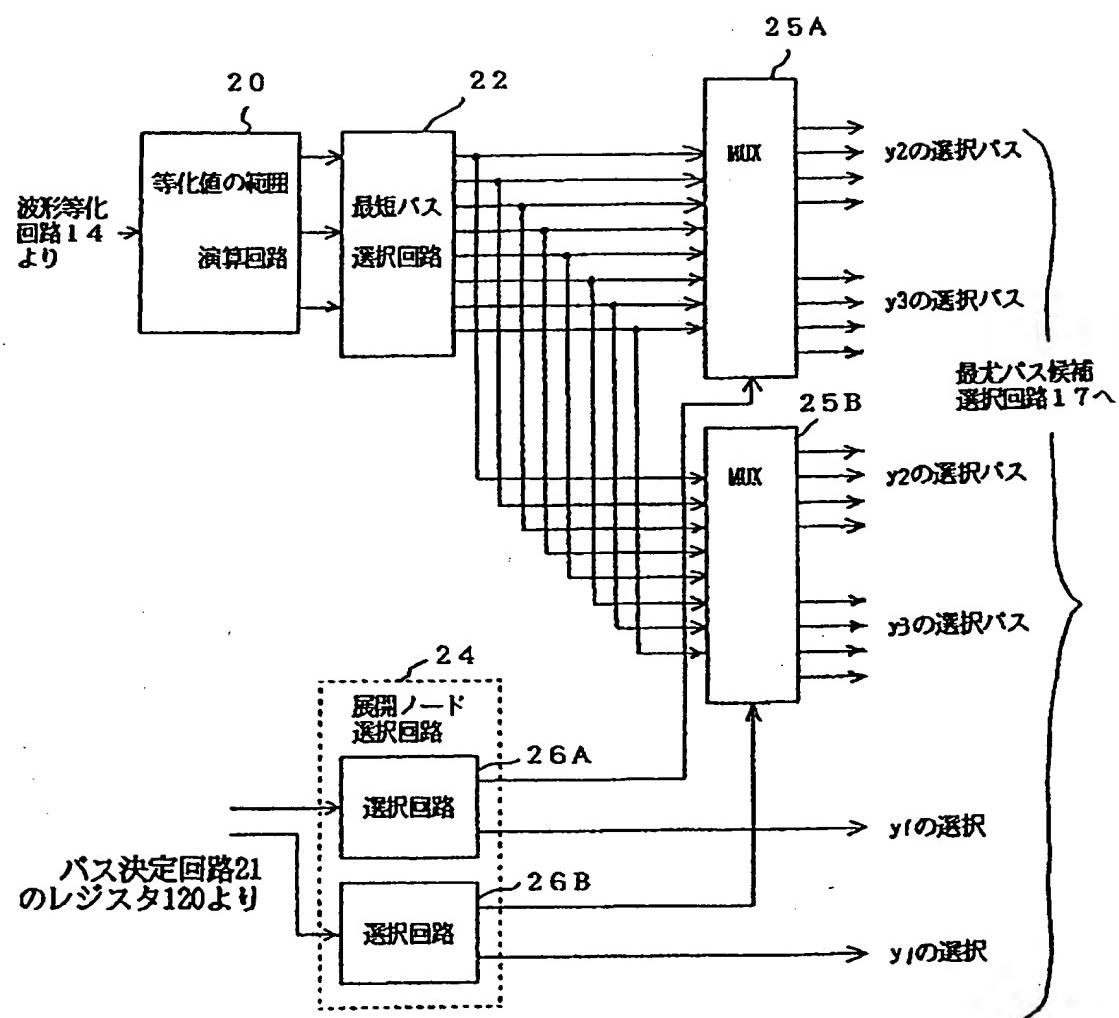
ノード番号	b	c	$b+c+1/2$	$b+c+1/2$
000	1/2	1	2	1
001	3/2	0	2	1
010	-1/2	0	0	-1
011	1/2	-1	0	-1
100	-1/2	1	1	0
101	1/2	0	1	0
110	-3/2	0	-1	-2
111	-1/2	-1	-1	-2

[Drawing 8]

【図 8】



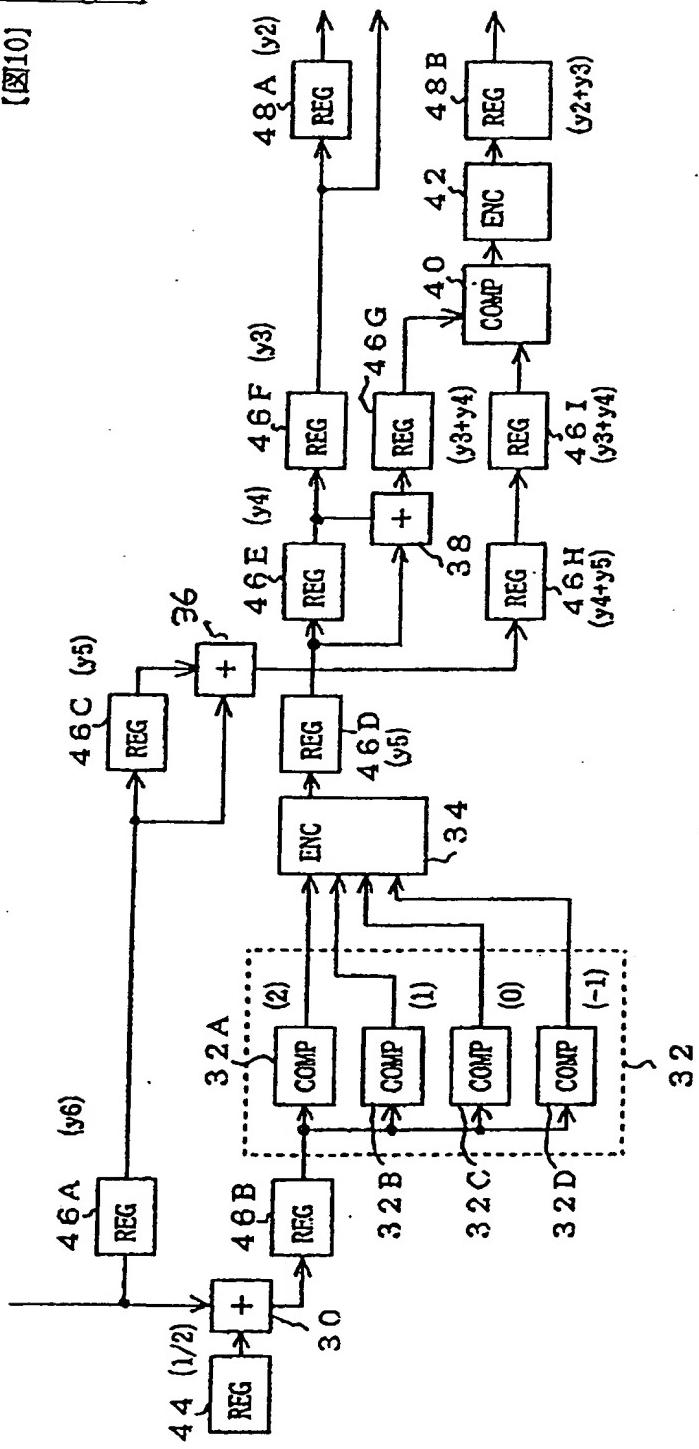
[Drawing 9]  
[図9]



波打等比回路 14 より

[Drawing 10]

[图10]



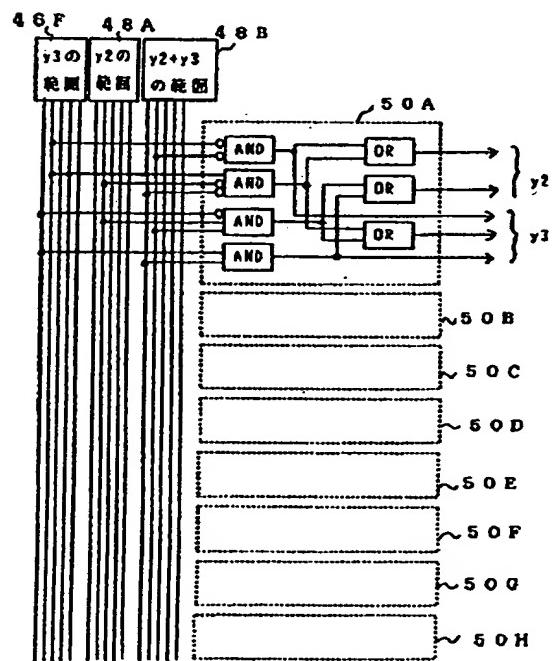
[Drawing 11]  
[図11]

$y$ の範囲	符号
$y+1/2 \geq 2$	100
$y+1/2 \geq 1$	011
$y+1/2 \geq 0$	010
$y+1/2 \geq -1$	001
$y+1/2 < -1$	000

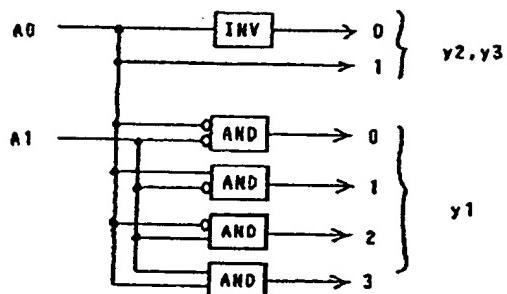
[Drawing 12]  
[図12]

$y_3+y_4$ の範囲	符号	比較する一定値
$y_3+y_4 \geq 2$	1000, 0111	—
$2 \geq y_3+y_4 \geq 1$	0110	2
$1 \geq y_3+y_4 \geq 0$	0101	1
$0 \geq y_3+y_4 \geq -1$	0100	0
$-1 \geq y_3+y_4 \geq -2$	0011	-1
$-2 \geq y_3+y_4 \geq -3$	0010	-2
$y_3+y_4 < -2$	0001, 0000	—

[Drawing 13]  
[図13]



[Drawing 14]  
[図14]



[Drawing 15]  
[図15]

(a)  $y_1$  のメトリック選択

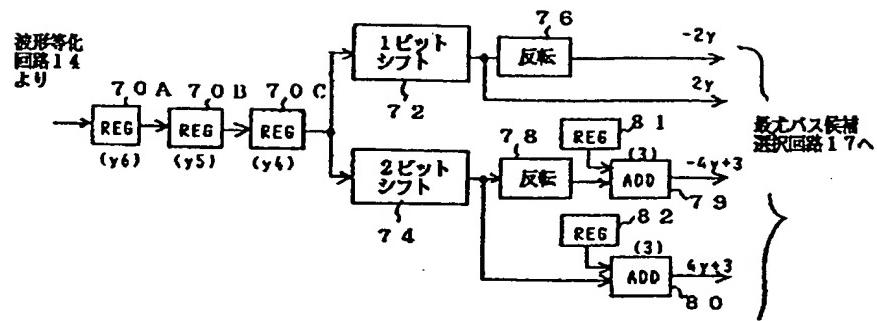
展開ノード	A1,A0	次ノード	Hとなる出力	パスのメトリック
0	00	0, 1	0	0, 1, 1, 2
1	01	2, 3	1	-1, 0, 0, 1
2	10	4, 5	2	-1, 0, 0, 1
3	11	6, 7	3	-2, -1, -1, 0
4	00	0, 1	0	0, 1, 1, 2
5	01	2, 3	1	-1, 0, 0, 1
6	10	4, 5	2	-1, 0, 0, 1
7	11	6, 7	3	-2, -1, -1, 0

(b)  $y_2, y_3$  のメトリック選択

展開ノード	A0	Hとなる出力	始端のノード番号
0	0	0	0, 1, 2, 3
1	1	1	4, 5, 6, 7
2	0	0	0, 1, 2, 3
3	1	1	4, 5, 6, 7
4	0	0	0, 1, 2, 3
5	1	1	4, 5, 6, 7
6	0	0	0, 1, 2, 3
7	1	1	4, 5, 6, 7

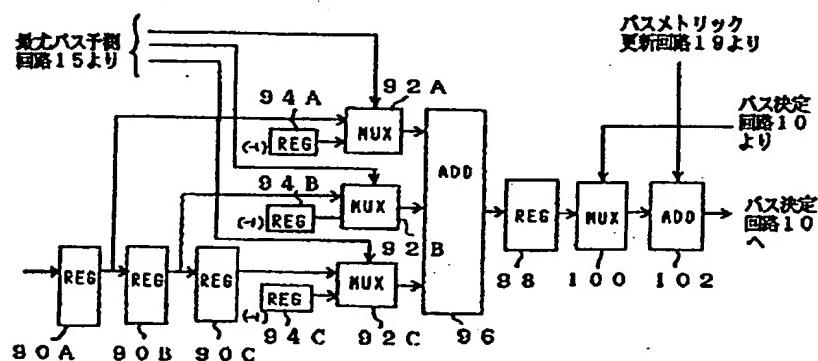
[Drawing 16]

(図16)

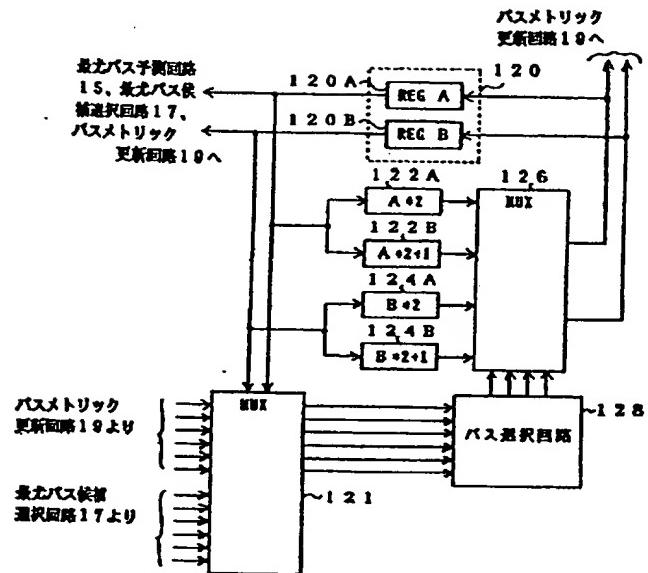


[Drawing 17]

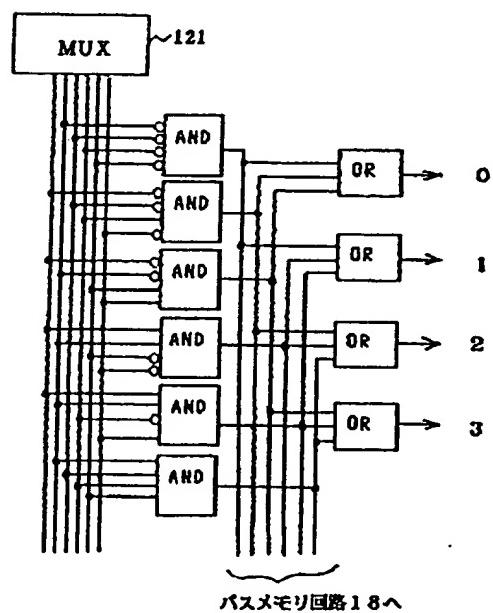
(図17)



[Drawing 18]  
[圖18]



[Drawing 19]  
(圖19)



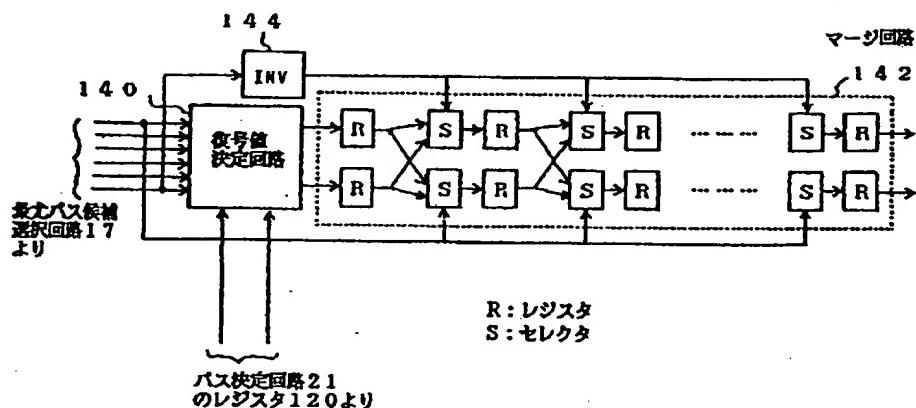
[Drawing 20]  
[図20]

選択されるバス組合せ

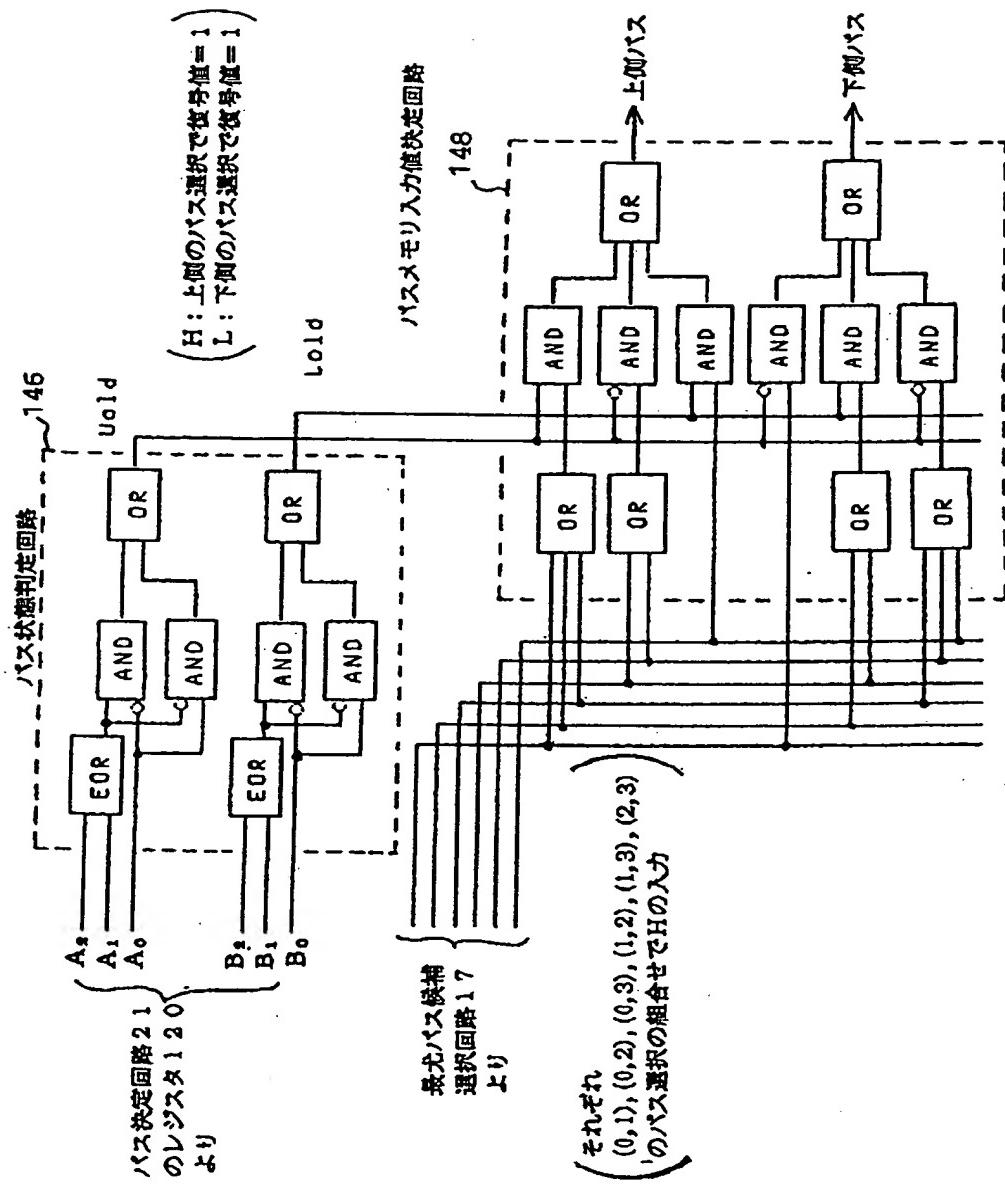
	(0, 1)	(0, 2)	(0, 3)	(1, 2)	(1, 3)	(2, 3)
$a' - b' \geq 0$	—	0	0	1	1	—
$a' - c' + \Delta \geq 0$	0	—	0	1	—	1
$a' - d' + \Delta \geq 0$	0	0	—	—	1	1
$b' - c' + \Delta \geq 0$	0	1	—	—	0	1
$b' - d' + \Delta \geq 0$	0	—	1	0	—	1
$c' - d' \geq 0$	—	0	1	0	1	—

[Drawing 21]

[図21]



[図22]



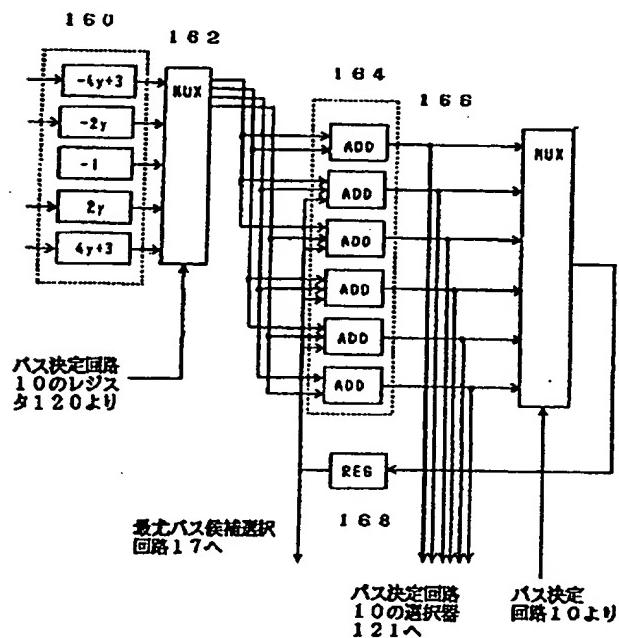
[Drawing 23]  
[図23]

旧ノード	1になる分岐
000	下
001	上
010	上
011	下
100	上
101	下
110	下
111	上

[Drawing 24]  
[図24]

生き残りノード	上側バス	下側バス
(0, 1)	0	0
(0, 2)	0	1
(0, 3)	0	1
(1, 2)	0	1
(1, 3)	0	1
(2, 3)	1	1

[Drawing 25]  
[図25]

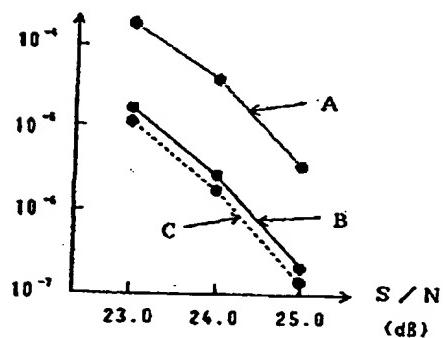


[Drawing 26]  
[図26]

生き残りノード	新しい $\Delta$
( 0, 1 )	$a - b$
( 0, 2 )	$a - c + \Delta$
( 0, 3 )	$a - d + \Delta$
( 1, 2 )	$b - c + \Delta$
( 1, 3 )	$b - d + \Delta$
( 2, 3 )	$c - d$

[Drawing 27]  
[図27]

ピットエラー率



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-116275

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号
H 0 3 M 13/12		8730-5K
G 1 1 B 20/10	3 2 1 A	7736-5D
H 0 3 H 17/00		A 8842-5 J
H 0 4 L 25/08		B 9199-5K
	25/497	9199-5K

審査請求 未請求 請求項の数? OL (全 17 頁)

(21)出願番号 特願平6-252347

(22)出願日 平成6年(1994)10月18日

(71)出題人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 西谷 阜史

神奈川県横浜市戸塚

式会社日立製作所システム開発研究所内

(72) 発明者 宮沢 章一

神奈川県横浜市戸塚区

式会社日立製作所システム開発研究所内

(72)発明者 奈良 孝

群馬県高崎市西横手町111番地 株式会社

日立製作所半導体事業部

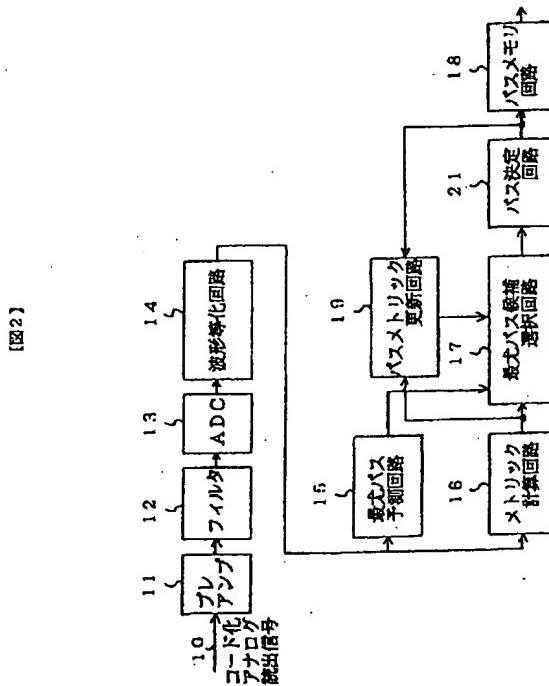
最終頁に続く

(54) 【発明の名称】 ディジタル信号復号化処理装置

(57)【要約】

**【目的】** アナログ信号をデジタル化して得られる再生信号に対する復号化処理を実現するディジタル信号復号化処理装置に関し、低いビットエラー率および高速な復号化処理を単純な回路構成で実現する。

**【構成】** 磁気記録再生装置におけるEPRML方式による復号回路において、識別対称ビットに連続する数ビットの等化値を用いて最尤バスの推定を行なうことで、最尤推定に用いるバスの数を限定する。これによって、回路規模を従来より小さくするとともにより高速な復号回路をEPRMLチャネルと同等の低いビットエラー率で実現することができる。



## 【特許請求の範囲】

【請求項1】 チャネルを介して伝送されたコード化2進データを表すアナログ信号をディジタル化して得られる再生信号を所定の等化方式で等化し、トレリス線図に基づいて最尤パスを選択することによって復号結果を得るビタビ復号化処理を行うデジタル信号復号化処理装置において、

現在アナログ信号から再生中の再生ビットおよび当該再生ビットに統合して得られる複数の後続ビットについての等化値に基づき、前記トレリス線図における演算対象の状態ノード数を常に一定数に制限する状態ノード制限回路を具備する構成としたことを特徴とするデジタル信号復号化処理装置。

【請求項2】 前記状態ノード制限回路は、当該再生ビットにおける前記トレリス線図の状態ノードから得られるメトリック値および各々の当該後続ビットにおける前記トレリス線図の状態ノードに基づく最尤パスから得られるメトリック値を加算するメトリック値加算回路と、前記メトリック値加算回路に算出された加算値に基づいて次の再生ビットにおける演算対象の状態ノードを選択する状態ノード選択回路とを具備する構成としたことを特徴とする請求項1記載のデジタル信号復号化処理装置。

【請求項3】 前記等化方式を、バーシャルレスポンス方式または拡張バーシャルレスポンス・クラス4（EPR4）方式とすることを特徴とする請求項1または2記載のデジタル信号復号化処理装置。

【請求項4】 前記再生信号を、8／9 GCR（Group Coded Recording）コードで符号化された信号を再生したものとすることを特徴とする請求項1または2記載のデジタル信号復号化処理装置。

【請求項5】 前記後続ビットの数を3ビット、選択される演算対象の状態ノードの数を2ノードとすることを特徴とする請求項3記載のデジタル信号復号化処理装置。

【請求項6】 当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの前記後続ビットの各々に対して、それぞれの遷移可能な状態ノードに基づく最尤パスからのメトリック値の算出および保持に用いるレジスタを具備する構成としたことを特徴とする請求項1記載のデジタル信号復号化処理装置。

【請求項7】 当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの組合せの各々に対して、メトリック値の差の算出および保持に用いるレジスタを具備する構成としたことを特徴とする請求項1記載のデジタル信号復号化処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はデジタル信号復号化処理装置に係り、特に、チャネルを介して伝送されたコード化2進データを表すアナログ信号をディジタル化して得られる再生信号に対する復号化処理を実現するデジタル信号復号化処理装置に関する。

## 【0002】

【従来の技術】磁気記録の記録密度は年々高密度化の一途をたどっているが、現在の磁気記録再生装置においては、1ビット毎にアナログ信号処理するピーク検出チャネルが広く用いられている（ピークディテクション方式）。この方式では、記録密度および転送速度の増加とともに通常のピーク検出チャネルにおける1ビット検出ウインドウが非常に小さくなり、検出信頼性が低下することが知られている。そこで、検出信頼性を高めるために、上記方式に代わって部分応答最大尤度（PRML）チャネルを用いる方式が提案されている。その詳細は、例えば以下に示す論文で論じられている。

10 (1) Forney, "Maximum-Likelihood Sequence Estimation of Digital Sequences in the Presence of Intersymbol Interference," IEEE Trans. on Info. Theory, vol. IT-18, No. 3, 1972年5月

(2) Kobayashi, "Application of Probabilistic Decoding to Digital Magnetic Recording Systems," IBM J. Res. Develop., 1971年1月

(3) Cideciyan et al., "A PRML System for Digital Magnetic Recording," IEEE J. on Selected Areas in Communications, Vol. 10, No. 1, 1992年1月

多項式(1-D)(1+D)で特徴づけられるPRMLチャネルでは、すべての起こりうる信号系列の中から、最大尤度のビット列の検出を行う。この検出は、ビタビ・アルゴリズムと呼ばれる方法を用いて効率的に行なわれる。これにより、PRML方式は、旧来のピークディテクション方式に対して1.3～1.5倍の面記録密度を実現することができる。

【0003】また、さらに記録密度の向上を図るために、多項式(1-D)(1+D)<sup>2</sup>で特徴づけられる拡張部分応答最大尤度（EPRML）チャネルを用いることにより、復号誤りを低減させる方式が提案されている。その詳細は、例えば以下に示す論文で論じられている。

40 (4) K. Knudson, et al., "Dynamic Threshold Implementation of the Maximum-Likelihood Detector for the EPR4 Channel," Proc. of GLOBECOM '91, pp. 2135-2139

(5) A. Patel, "A New Digital Signal Processing Channel for Data Storage Products," IEEE Transactions on Magnetics, Vol. 27, No. 6, November 1991

この他、一旦PRMLチャネルで復号を行なった後、等化誤差（復号値と等化値との差）のパターンを用いて復号誤りの検出および修正を行う方式が提案されている。その詳細は、例えば以下に示す論文で論じられている。

50 (6) R. Wood, "Turbo-PRML: A Compromise EPRML Detec

"IEEE Transactions on Magnetics, Vol. 29, No. 6, November 1993

#### 【0004】

【発明が解決しようとする課題】磁気記録において上述したEPRMLチャネルを使用すれば、従来のピークディテクション方式あるいはPRML方式にくらべて面記録密度を一層向上させることができる。しかしながら、EPRMLチャネルを用いた場合には復号化処理に必要なビタビアルゴリズムの演算量が非常に多くなることから、復号速度が低下するとともに回路規模が大きくなり、生産コストが増大してしまうという問題点があった。ここで、回路規模の問題については、シーケンス検出アルゴリズムを採用することでより簡略な回路でEPRMLチャネルを実現することができるが、このアルゴリズムは(1, 7)ラン・レングス・コード(RLL)の使用を前提としていることから、符号化効率がますます低下して転送速度が遅くなってしまうという問題点があった。一方、PRMLチャネルを用いて復号化処理を行った後に復号誤りを修正するターボPRML方式では、PRMLチャネルで一旦復号が終了するまで等化値を保持しておくために大きな遅延回路が必要となることから、回路規模が大きくなつて生産コストが増大してしまうという問題点があった。

【0005】したがって本発明の目的は、上記の問題点を解決して、①記録媒体上の書き込み遷移の密度を制御可能で、②復号化処理に関わる演算およびそのための回路構成が単純であり、③磁気記録プロセスの非線形性に起因する波形等化の誤差に影響されにくいディジタル信号復号化処理装置を提供することにある。

#### 【0006】

【課題を解決するための手段】上記の目的を達成するため、本発明のディジタル信号復号化処理装置は、チャネルを介して伝送されたコード化2進データを表すアナログ信号をデジタル化して得られる再生信号を所定の等化方式で等化し、トレリス線図に基づいて最尤パスを選択することによって復号結果を得るビタビ復号化処理を行うディジタル信号復号化処理装置において、以下に示す構成としたものである。

【0007】①現在アナログ信号から再生中の再生ビットおよび当該再生ビットに統じて得られる複数の後続ビットについての等化値に基づき、前記トレリス線図における演算対象の状態ノード数を常に一定数に制限する状態ノード制限回路を具備する。

【0008】②前記状態ノード制限回路は、当該再生ビットにおける前記トレリス線図の状態ノードから得られるメトリック値および各々の当該後続ビットにおける前記トレリス線図の状態ノードに基づく最尤パスから得られるメトリック値を加算するメトリック値加算回路と、前記メトリック値加算回路に算出された加算値に基づいて次の再生ビットにおける演算対象の状態ノードを選択する状態ノード選択回路とを具備する。

【0009】③前記等化方式を、バーシャルレスポンス方式または拡張バーシャルレスポンス・クラス4(EPR4)方式とする。

【0010】④①における前記再生信号を、8/9 GCR(Group Coded Recording)コードで符号化された信号を再生したものとする。

【0011】⑤③における前記後続ビットの数を3ビット、選択される演算対象の状態ノードの数を2ノードとする。

10 【0012】⑥①における当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの前記後続ビットの各々に対して、それぞれの遷移可能な状態ノードに基づく最尤パスからのメトリック値の算出および保持に用いるレジスタを具備する。

【0013】⑦①における当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの組合せの各々に対して、メトリック値の差の算出および保持に用いるレジスタを具備する。

#### 【0014】

【作用】上記構成に基づく作用を説明する。

【0015】本発明のディジタル信号復号化処理装置では、チャネルを介して伝送されたコード化2進データを表すアナログ信号をデジタル化して得られる再生信号を所定の等化方式で等化し、トレリス線図に基づいて最尤パスを選択することによって復号結果を得るビタビ復号化処理を行うディジタル信号復号化処理装置において、以下に示す構成とすることにより、記録媒体上の書き込み遷移の密度を制御可能となるとともに、復号化処理に関わる演算およびそのための回路構成が単純となり、磁気記録プロセスの非線形性に起因する波形等化の誤差の影響が少なくなる。

30 【0016】①現在アナログ信号から再生中の再生ビットおよび当該再生ビットに統じて得られる複数の後続ビットについての等化値に基づき、前記トレリス線図における演算対象の状態ノード数を常に一定数に制限する状態ノード制限回路を具備する。

40 【0017】②前記状態ノード制限回路は、当該再生ビットにおける前記トレリス線図の状態ノードから得られるメトリック値および各々の当該後続ビットにおける前記トレリス線図の状態ノードに基づく最尤パスから得られるメトリック値を加算するメトリック値加算回路と、前記メトリック値加算回路に算出された加算値に基づいて次の再生ビットにおける演算対象の状態ノードを選択する状態ノード選択回路とを具備する。

【0018】③前記等化方式を、バーシャルレスポンス方式または拡張バーシャルレスポンス・クラス4(EPR4)方式とする。

50 【0019】④①における前記再生信号を、8/9 GCR

R ( Group Coded Record-ing ) コードで符号化された信号を再生したものとする。

【0020】⑥③における前記後続ビットの数を3ビット、選択される演算対象の状態ノードの数を2ノードとする。

【0021】⑥①における当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの前記後続ビットの各々に対して、それぞれの遷移可能な状態ノードに基づく最尤バスからのメトリック値の算出および保持に用いるレジスタを具備する。

【0022】⑦①における当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの組合せの各々に対して、メトリック値の差の算出および保持に用いるレジスタを具備する。

【0023】

【実施例】以下、本発明のディジタル信号復号化処理装置の一実施例を図面を用いて詳細に説明する。

【0024】図1は、本発明のディジタル信号復号化処理装置が適用される磁気記録再生回路の概略構成を示すブロック図である。同図中、データを記録しておく記録媒体200（例えば、磁気ディスクなど）から読み取りヘッド201によって読み出された信号は、ブレアンプ202によって増幅されたあと、フィルタ203によって高周波ノイズを除去される。高周波ノイズが除去された再生信号は、ADC（アナログ/ディジタル変換器）204によってディジタル信号に変換されたあと、等化器205によって復号のための等化（再生された信号の振幅特性および位相特性を整形し、元のディジタル信号を”1”あるいは”0”に識別しやすくする）が行なわれる。等化された信号は復号回路206によってディジタル信号に識別再生される。VCO207は、等化器205の出力を用いて、各部の動作タイミングを決めるクロック信号CLK208を生成する。

【0025】図2は、本発明のディジタル信号復号化処理装置の全体構成の一例を示すブロック図であり、本装置は以下に述べる信号処理チャネルからなる。信号処理チャネルは回線10を含み、この回線10を介して、トランジューサからアナログの読出信号が供給される。トランジューサとは、例えばデジタル記憶装置における磁気的又は光学的な読出ヘッドのことである。この読出信号は、記憶されている8/9データ・シーケンスに対応する。ここで、8/9データ・シーケンスとは、書込時に8/9 GCRコードを使ってコード化された2進データ・シーケンスのことである。読出信号はAGCを持つブレアンプ11とロウ・バンドパス・フィルタ12\*

$$bi = ai + bi-1 - bi-2 - bi-3 \pmod{2} \quad (1)$$

（ただし、ai : 記録符号、 bi : 中間符号）

この符号が磁気記録媒体から読み出される時には、チャネルの持つ微分特性から図3(c)に示すような波形となる。図3(d)に、さらに(1+D)<sup>2</sup>処理を行なった波形

\*を通る。ADC13は一定のクロック時にアナログ入力信号をデジタル・サンプル値に変換する。次に、デジタル・サンプル値は波形等化回路14に渡される。波形等化回路14では、EPR4等化の場合、読み出し点における孤立波形が(1,2,1)となるような目標波形に等化される。一方、EEPR4等化の場合は前記目標波形が(1,3,3,1)となるように等化される。

【0026】最尤バス予測回路15は識別対象ビットに連続する数ビットの等化値を用いて、該数ビットに対する各ノードからの最短バスを選択する。また、メトリック計算回路16は、対象ビットに対するすべてのメトリック値を計算する。すなわち、(2,1,0,-1,2,1)の6つの値各々と等化値との距離を計算する。

【0027】最尤バス候補選択回路17は、最尤バス予測回路15およびメトリック計算回路16の出力をもじいて、復号対象のビットにおける生き残りノードから数ビット先までの最短バスのメトリックを計算する。バス決定回路21は、最尤バス候補選択回路17から送られるメトリック値を比較し、次時刻における生き残りノードを決定する。

【0028】バスメトリック更新回路19は、メトリック計算回路16で計算されて保持されている値と、最尤バス候補選択回路17で選択された生き残りノード番号とを用いて、生き残りノード間のメトリック差を計算し、最尤バス候補選択回路17に出力する。

【0029】バスメモリ回路18は、前記バス決定回路21において選択された生き残りノードから決定されるバスの値を記憶するシフトレジスタからなり、バス決定回路21で選択されたバスを収束させる。収束した復号結果が最終的な復号結果として出力される。

【0030】以下、本実施例について詳細に説明する前に、磁気記録における例を用いて、簡単にEPRMLチャネルの説明を行う。

【0031】図3は、EPRMLチャネル方式による復号化処理結果の一例を示す図であり、記憶データと媒体に書き込まれるデータおよび復号時の各部のデータおよびサンプル値のシーケンスを示す。同図中、記録すべき8ビット（1バイト）のコードは、予め定められた8/9 GCRコードの変換ルール（特許出願公告平3-6699）に従って、9ビットの記録符号に変換される。図3(a)は記録媒体に記録される符号シーケンスをNRZ符号（ビット情報を2つの状態に対応させて記録する符号化方式）で表現した例を示す。実際に記録媒体に書き込まれる波形は、図3(b)に示すシーケンスのように、記録符号に次の式(1)で示す処理を行なった中間符号である。

$$bi = ai + bi-1 - bi-2 - bi-3 \pmod{2} \quad (1)$$

※チャネルの持つ微分特性から図3(c)に示すような波形となる。図3(d)に、さらに(1+D)<sup>2</sup>処理を行なった波形

を示す。図3(e)は $(1+D)^2$ 処理と等化処理を行なった結果である。このように、数式(1)を用いた符号化を行なうことにより、記録側の1ビットの孤立したデータに対するチャネルのインパルス応答は $(1, 1, -1, -1)$ という応答となる。図3(f)は等化波形を用いてビタビ復号を行い最大尤度の復号結果を求めた結果である。この復号結果の1および-1を1に、0および2は0に変換することによって、元の記録符号(NRZ符号)に復号\*

$$z_k = a_k g_0 + a_{k-1} \cdot g_1 + \dots + a_{k-L} \cdot g_L \quad (2)$$

さらに、雑音が加わった受信信号 $y_k$ は次の数式(3)で※10※表せる。

$$y_k = z_k + n_k \quad (3)$$

なお、 $a_k$ は2値信号であり、0かあるいは1とする。この場合、先のチャネル長さしから、このチャネルでは2のし乗個の異なる符号間干渉の組合せが生じる。これを★

$$S_{k-1} = \{a_{k-1}, \dots, a_{k-L}\}$$

EPRMLにおけるインパルス応答は $(1, 1, -1, -1)$ という応答となるから、先のチャネルの符号間干渉の長さ $L=3$ となり、8通りの状態があり得ることになる。この状態間の推移を時系列的に表わしたもののはトレリス線図と呼ばれる。図4は、EPRMLチャネル方式におけるトレリス線図の一例を示す図である。同図中、左端の番号が各時刻のノードに対する状態番号である。その右に、各状態からのバスのノイズが無い理想等化値を(上側のバスの理想等化値)/(下側のバスの理想等化値)という表示で示している。

【0033】さて、上述した数式(2)および(3)でわかるように、時刻kにおける入力 $a_k$ と状態 $S_{k-1}$ から、時刻kにおける出力 $z_k$ と状態 $S_k$ とが決まる。すなわち、最新の送信符号が1個入力されると、それに応じて☆

$$L_{k,j} = \sum \{-(y_k - z_k)^2\} \quad (5)$$

時刻k-1における状態iから、時刻kへの可能な推移は、上述した数式(4)において $a_k$ が2値であることから2通りが存在する。すなわち、常に2種類のバスが状◆

$$L_{k,j} = \max \{L_{k-1,j} - (y_k - z_k)^2\}$$

この $L_{k,j}$ を与えるバスを「生き残りバス」と呼ぶ。以上述べた操作を各時刻において巡回的に行なうのがビタビ復号である。この結果、初めは複数のバスが存在するが、時間が経過するにつれて、ある特定のバスだけが生き残り、状態推移が確定してゆく。

【0034】EPRMLを用いたビタビ復号をそのまま実行すると、1ビットごとに数式(6)にしたがったバス選択を8通りの状態すべてに対して実行しなければならないため、演算量が非常に多くなるばかりでなく、最尤バスが確定するまで各状態ノードに至る状態遷移を記憶しておくバスメモリも8通りの状態すべてに対して必要になる。このため一般にはEPRMLを実現するための回路の規模が大きくなってしまうが、本実施例では、EPRMLを\*

\*することができる。

【0032】ここで、ビタビ復号について基本的な考え方をまとめておく。いま、 $g$ を離散化したインパルス応答とし、 $(g_0, g_1, \dots, g_L)$ で与える。 $L$ はこのチャネルの符号間干渉の長さである。すなわち、メモリ長さを持つチャネルとする。ここで時刻kにおける送信信号を $a_k$ とすると、チャネルを通過した信号は、雑音が無い場合には次の数式(2)で表せる。

★「状態」という。すなわち、時刻k-1における状態 $S_{k-1}$ は次の数式(4)で与えられる。

☆一意的に次に推移する状態が決まっていく。したがって、逆に受信信号から状態の推移がわかれれば、元の受信信号を決定することができる。もし、受信信号に雑音がなければ、 $-(y_k - z_k)^2 = 0$ になる $z_k$ が必ず存在し、この値からただちに状態の推移を決めることができる。実際の再生信号には雑音が含まれるが、この場合には、 $-(y_k - z_k)^2$ の値はある分布をもつため、この分布から本来の $z_k$ の値を推定する必要がある。雑音がガウス分布にしたがう場合には、 $-(y_k - z_k)^2$ の値を最大(すなわち、ユークリッド距離 $(y_k - z_k)^2$ の値を最小)にする $z_k$ が送信されたものと推定すると、これが最尤復号になる。いま、時刻kにおける状態jまでの $\{-(y_k - z_k)^2\}$ の和の最大値を状態jの「メトリック」と呼び、これを $L_{k,j}$ で表わすことにする。すなわち、

◆態iから発する。逆に、時刻kにおける状態jには常に2種類のバスが合流する。そこで、これらのバスのうち、次の数式(6)を満たすものを常に選択する。

$$L_{k,j} = \min \{L_{k-1,j} - (y_k - z_k)^2\} \quad (6)$$

\*実現する回路の規模を削減するために、各時刻における生き残りバスを常に2通りに限定しながら、EPRMLと同等な性能を有するバス選択を行なう。

【0035】(生き残りバスの選択)図5は、本発明のディジタル信号復号化処理装置における生き残りバスの選択方法を説明するための図であり、同図中、時刻kにおいて生き残っている状態ノードが $N_0$ と $N_1$ であるとする。また、この2種類のノードから遷移できるノードが、 $M_0, M_1$ および $M_2, M_3$ であるとする。これら4種類のノードから遷移する時刻k+1およびk+2のバスをメトリックが最小となるように選択し(この選択方法は後で詳述する)、各バスのメトリックの値 $L_{k,0}, L_{k,1}, L_{k,2}, L_{k,3}$ を次の数式(7)にしたがって求める。

$$\begin{aligned} L_{k,0} &= \Delta + (y_k - z_{k,0})^2 + (y_{k+1} - z_{k+1,0})^2 + (y_{k+2} - z_{k+2,0})^2 \\ L_{k,1} &= \Delta + (y_k - z_{k,1})^2 + (y_{k+1} - z_{k+1,1})^2 + (y_{k+2} - z_{k+2,1})^2 \\ L_{k,2} &= (y_k - z_{k,2})^2 + (y_{k+1} - z_{k+1,2})^2 + (y_{k+2} - z_{k+2,2})^2 \end{aligned}$$

9

$$L_{k,3} = (y_k - z_{k,3})^2 + (y_{k+1} - z_{k+1,3})^2 + (y_{k+2} - z_{k+2,3})^2$$

《 ただし、 $z_{k,i}$ ：時刻kにおけるi番目のバスの理想等化値  
 $\Delta$ ：生き残りバスのメトリック差 } }

そして、求められたメトリックのうち、小さい方から2つのバスを選択し、そのバスの次時刻の遷移ノードを生き残りバスとして選択し、以下、この手順を繰り返すことによって、概ね最適なバスを辿りながら復号化処理を行なうことができる。

【0036】ところで、図5(a)は、ノード $N_0$ から展開されるノードとノード $N_1$ から展開されるノードが一致しない場合であるが、図4からわかるように、時刻kにおいて生き残っているノードの番号が4だけずれている\*

$$L_{k,0} = \Delta + (y_k - z_{k,0})^2$$

$$L_{k,2} = (y_k - z_{k,2})^2$$

..... (7)

\*場合は、それぞれのノードから遷移するノードが図5(b)のように一致してしまうので、生き残るノードは一義的に $M_0$ と $M_1$ に決まる。その際のバスは、一般的なビタビ復号と同様の処理で決定される。すなわち、ノード $M_0$ に遷移するバスは次の数式(8)によるメトリックのうち小さいほうのバスを選択し、ノード $M_1$ に遷移するバスは次の数式(9)によるメトリックのうち小さい方のバスを選択する。

10

$$L_{k,1} = \Delta + (y_k - z_{k,1})^2$$

$$L_{k,3} = (y_k - z_{k,3})^2$$

..... (8)

..... (9)

(最尤バスの予測)ここで、上述した数式(7)の計算に必要な時刻 $k+1$ および $k+2$ のバスの予測方式について述べておく。図6は、本発明のデジタル信号復号化処理装置における最短バスの選択方法を説明するための図※

$$\text{バス } 0 : L_0 = \{y_1 - (b-1/2)\}^2 + \{y_2 - (c-1)\}^2$$

$$\text{バス } 1 : L_1 = \{y_1 - (b-1/2)\}^2 + \{y_2 - c\}^2$$

$$\text{バス } 2 : L_2 = \{y_1 - (b+1/2)\}^2 + \{y_2 - c\}^2$$

$$\text{バス } 3 : L_3 = \{y_1 - (b+1/2)\}^2 + \{y_2 - (c+1)\}^2$$

..... (10)

そこで、波形等化値 $y_1$ 、 $y_2$ の値に対してメトリックが最小となる最短バスを以下の3通りの場合に分けて考えることとする。

【0037】① $y_2 \geq c+1/2$  の場合

★この場合、 $L_0 \geq L_1$ かつ $L_2 \geq L_3$ であるから、 $L_1$ と $L_3$ との比較を行なえば最短バスが決まる。 $L_1 \leq L_3$ となる条件を求めるとき、次の数式(11)のようになる。

$$L_1 \leq L_3 : y_1 + y_2 - b - c - 1/2 \leq 0$$

..... (11)

② $c-1/2 \leq y_2 < c+1/2$  の場合

☆との比較を行なえば最短バスが決まる。 $L_1 \leq L_2$ となる条件を求めるとき、次の数式(12)のようになる。

この場合、 $L_0 \geq L_1$ かつ $L_3 \geq L_2$ であるから、 $L_1$ と $L_2$ ☆

$$L_1 \leq L_2 : y_1 - b \leq 0$$

..... (12)

③ $y_2 < c-1/2$  の場合

◆との比較を行なえば最短バスが決まる。 $L_0 \leq L_2$ となる条件を求めるとき、次の数式(13)のようになる。

$$L_0 \leq L_2 : y_1 + y_2 - b - c + 1/2 \leq 0$$

..... (13)

以上の結果を等化値の $y_1 - y_2$ 平面で図示すると、あるノードから遷移する最短バスは図6(b)のように示される。また、ノード0から7の各ノードからの最短バス決定に使われる定数の一例を整理して図7に示す。

【0038】次に、図8において本発明のデジタル信号復号化処理装置の全体構成の一例を詳細に示し、以下、各構成部分についての詳細な説明図を用いながら説明を行う。

【0039】【最適バス選択回路15】まず、図8における最適バス予測回路15の一構成例について、図9を用いて詳細に説明する。同図中、最尤バス予測回路15\*50

40\*は、波形等化回路14より送られる等化値を用いて各ビットに対する等化値の範囲を計算する等化値の範囲演算回路2-0と、算出された等化値の範囲を用いて数ビットの区間ににおける最短バスを選択する最短バス選択回路2-2と、1時刻前のビットで選択されたノードから遷移するノードを選択する展開ノード選択回路2-4と、最短バス選択された各ノードに対するバスの中から展開ノード選択回路2-4で展開されたノードに対する最短バスを選択して出力する選択器25Aおよび25Bと、によって構成される。

【0040】図9における等化値の範囲演算回路2-0の

## 12

一構成例を図10に示す。同図中、波形等化回路14より送られる波形等化値とレジスタ44に格納されている値(通常は1/2)が加算器30において加算される。加算器30による計算結果は、レジスタ46Bによりタイミングの調整をされた後、予め定められた値と比較器32において比較が行なわれる。比較器32A, 32B, 32C, 32Dにおいて比較される値はそれぞれ2, 1, 0, -1である。比較器32による比較結果は、図11に示されるような等化値の範囲に対応する符号の定義にしたがって符号化される。この符号化結果はレジスタ46Dおよび46Eでタイミング調整され、連続する2つの符号値が加算器38で加算され、レジスタ46Gに格納される。以上により、レジスタ46Gに格納される符号値は図12に示すようになる。

【0041】一方、レジスタ46Aおよび46Cでタイミングを調整された連続する2ビットの等化値が加算器36で加算され、結果はレジスタ46Hに格納される。この加算結果は、レジスタ46Iでタイミング調整され、比較器40で一定値との比較が行なわれる。ここで、比較器40で比較される一定値は、図12の右端の欄に示す通りである。これにより、連続する2ビットに対する等化値の和の範囲が決定され、その結果は符号化器42で符号化されて、レジスタ48Bに格納される。

【0042】図9における最短バス選択回路22の一構成例を図13に示す。同図中、レジスタ46F, レジスタ48A, レジスタ48Bは等化値の範囲計算回路20における計算結果を保持しているレジスタであり、それ等化値y3, y2およびy3+y2の範囲を表わす符号を保\*

$$\begin{aligned}(y-2)^2 - (y^2 + 1) &= -4y + 3 \\(y-1)^2 - (y^2 + 1) &= -2y \\(y-0)^2 - (y^2 + 1) &= -1 \\(y+1)^2 - (y^2 + 1) &= 2y \\(y+2)^2 - (y^2 + 1) &= 4y + 3\end{aligned}$$

(14)

図16において70A, 70B, 70Cはタイミングを調整するためのシフトレジスタ(シフタ)である。シフトレジスタ70Cから読みだされた等化値はシフタ72および74によってそれぞれ1ビットおよび2ビットだけシフトすることによって、2倍および4倍される。シフタ7.2の出力はそのまま2yとして出力されるとともに、符号反転器76により符号が反転され、-2yとして出力される。また、シフタ74の出力は反転器78により符号が反転され、加算器79で定数3が加算されることによって-4y+3として出力されるとともに、加算器80で定数3が加算され、4y+3として出力される。

【0046】以上によるメトリック計算回路16の出力は最尤バス候補計算回路17に送られる。

【0047】〔最尤バス候補計算回路17〕図8における最尤バス候補選択回路17の一構成例を図17に示

\*持している。論理回路50A, 50B, 50C, 50D, 50E, 50F, 50G, 50Hは、それぞれノード0, ノード1, ノード2, ノード3, ノード4, ノード5, ノード6, ノード7からの最短バスが持つメトリックの番号を出力する。

【0043】展開ノード選択回路24は、最新の生き残りノード2つのそれぞれに対して最尤バスの選択を行う選択回路26Aおよび26Bよりなる。図9における選択回路26Aおよび26Bの一構成例を図14に示す。同図中、選択回路は、最新の生き残りノードの番号を表わす2進数の下位ビットA0およびA1を入力する論理回路で構成されている。

【0044】図15は、図14の回路でのメトリック選択の組合せを説明するための図であり、等化値y1に対するルートノード、次に遷移するノード、H(ハイレベル)となる出力番号、選択されるメトリックの値を図15(a)に、y2およびy3に対する始端ノード、Hとなる出力番号を図15(b)に、それぞれ示す。

【0045】〔メトリック計算回路16〕図8におけるメトリック計算回路16の一構成例を図16に示す。EPRMLにおいては等化誤差の無い場合のバスのメトリックは(2, 1, 0, -1, -2)の5通りであり、これら5通りのバスに対するメトリックを計算する。ただし、計算回路を簡略化するために(y<sup>2</sup>+1)だけ減算した値をメトリック差として計算を行なう。したがって、メトリック計算回路16で演算する値は、以下に示す数式(14)中の5通りから-1を除いた4通りについてメトリックの計算を行なう。

※す。同図中、レジスタ90A, 90B, 90Cはタイミングを調整するためのシフトレジスタであり、1時刻づつれたビットに対するメトリックの値が格納される。選択回路92A, 92B, 92Cは最尤バス予測回路15より送られる信号に基づき、レジスタ90A, 90B, 90Cおよびレジスタ94A, 94B, 94Cから適切な値を選択し、加算器配列96に送る。ここで、レジスタ94A, 94B, 94Cには-1が格納されている。これは、先に説明した数式(2)におけるメトリックが0のバスに対するメトリック差である-1が選択される場合のためのレジスタである。加算器配列96は3入力の加算器が6個からなり、選択器92A, 92B, 92Cから送られる値の加算を行なってレジスタ配列98に格納する。

【0048】選択器100は、バス決定回路10より送られる新たに選択されたノードの番号を表わす信号に基

13

づき、レジスタ配列98に格納されている8つのバスメトリックから新たに展開されるノードからの4つのバス\*

$$\begin{aligned} &a' - b' \\ &a' - c' + \Delta \\ &a' - d' + \Delta \\ &b' - c' + \Delta \\ &b' - d' + \Delta \\ &c' - d' \end{aligned}$$

14

\*のメトリックの選択する。加算器102は、これら4つのバス間のメトリック差を計算する。すなわち、

ここで、 $\Delta$ は新たに生き残ったノード間のメトリック差であり、メトリック更新回路19内のレジスタ168から送られてくる。

【0049】〔バス決定回路10〕図8におけるバス決定回路10の一構成例を図18を用いて説明する。同図中、レジスタ120は識別ビットにおける生き残りノードを一時格納しておくレジスタであり、レジスタ120Aとレジスタ120Bにそれぞれノード番号が格納される。演算器122A、122B、124A、および124Bは、レジスタ120に格納されているノードから展開されるノード番号を計算する演算器である。演算器122Aおよび124Aはそれぞれレジスタ120Aおよび120Bに格納されているノード番号の下位2ビットを1ビットシフトすることによって2倍のノード番号を得る。また、演算器122Bおよび124Bはそれぞれレジスタ120Aおよび120Bに格納されているノード番号の下位2ビットを1ビットシフトし、さらに1を加算することによって(2倍+1)のノード番号を得る。選択器126は、バス選択回路128からの信号に従って、演算器122A、122B、124A、124Bからの4つのノード番号から2つの生き残りノード番号を選択する。選択されたノード番号は、バスメトリック更新回路19に送られるとともに、レジスタ120に送られ一時格納される。

【0050】図18におけるバス選択回路の一構成例を図19に示す。同図中、選択器121から送られる数15にしたがって計算された6つの値またはバスメトリック更新回路から送られる6つの値の正負に従って、遷移が可能な4つのノードから2つを選択する。図19の回路で選択される組合せの一例を図20に示す。同図中、「0」は左側の式が成立しない場合、「1」は成立する場合を示し、それぞれの成立状態の組合せによって、選択されるバスの組合せが決定する。

【0051】〔バスメモリ回路18〕図8におけるバスメモリ回路18の一構成例を図21に示す。同図中、バスメモリ回路は復号値決定回路140、マージ回路142、および反転素子144とからなる。図21における復号値決定回路の一構成例を図22に示す。同図中、最尤バス候補選択回路17より入力される新しい生き残りノードの組合せと、レジスタ120に格納されている一時刻前の生き残りノードの番号から2本のバスの復号値※50

(15)

10※(1と0の2値信号)を計算して出力する。一時刻前の生き残りノードから分岐する2つのバスにおいて復号値が1になるバスは、例えば図23のようになる。この判定をバス状態判定回路146で行い、その結果と2つの生き残りノードがそれぞれ一時刻前の生き残りノードから分岐したバス番号の情報をバスメモリ入力値決定回路148で総合し、上側のバスと下側のバスの復号値を決定する。

【0052】復号値決定回路140の出力は、マージ回路142に送られる。マージ回路142は2つのシフトレジスタの列からなり、各レジスタの前には次時刻の復信号のうち、上側を選択するか下側を選択するかを切り替えるセレクタが設けられている。図24は、図21の回路におけるセレクタの制御信号の一例を示す図であり、生き残りのノードの各組合せに対する、上側バスと下側バスにおける選択器の状態を示す。同図中、「0」は選択器において上側の入力を出力として出す状態を、「1」は下側の入力を出力として出す状態を表す。図24からわかるように、上側のバスの選択器の制御は(2, 3)という生き残りノードに関する入力を反転した信号とすればよく、下側のバスの選択器の制御は(0, 1)という生き残りノードに関する入力信号を用いればよい。反転器114は(2, 3)の生き残りノードの組合せの信号を反転するものである。

【0053】〔バスメトリック更新回路19〕図8におけるバスメトリック更新回路の一構成例を図25に示す。同図中、バスメトリック更新回路19はレジスタ160と、選択器162と、加算器配列164と、選択器166と、レジスタ168とからなる。

【0054】レジスタ160は、各バスにおけるメトリックを保持する。選択器162は、バス決定回路10より送られる信号によって、生き残りノードから展開されるバスのメトリックをレジスタ160に保持されている5つのメトリックから選択して出力する。加算器配列164は、選択器162からの各バスのメトリックとレジスタ168に保持されている生き残りノード間のメトリック差の値とを用いて、次時刻の新しい生き残りノードとして考えられるすべてのノード間でのメトリック差を計算する。選択器166は、加算器配列164の6つの出力の中から、バス決定回路10から送られる次時刻の生き残りノードの番号に対応するメトリック差を選択す

る。レジスタ168は、生き残りノード間のメトリック差を保持する。

【0055】図25の回路における生き残りノードの組合せとメトリック差との対応関係の一例を図26に示す。

【0056】以上説明した如く、本発明によればトレリス線図上で限定された2つのノードのみを用いて復号を行なうため、ビットエラー率の低い復号が行えるというEPRML方式の長所を活かしながら、しかも小さな回路で高速にデジタル信号の復号を行なうことができる。ビットエラー率の低減効果の具体例を図27に示す。同図は記録密度を規格化線密度（孤立波形の振幅が1/2での広がりとビット間隔との比）で2.5とし、読み出し点の信号（A/D変換前の信号）のS/N比を変化させてビットエラー率を求めたものであり、A, B, Cの各々は、PRML、本実施例、EPRMLによる復号結果のビットエラー率である。これを比較対照すると、本実施例は、EPRMLとほぼ同じ性能で従来のPRMLに対してビットエラー率を1/10以下に低下できることがわかる。

【0057】

【発明の効果】以上詳しく述べたように、本発明のデジタル信号復号化処理装置によれば、チャネルを介して伝送されたコード化2進データを表すアナログ信号をデジタル化して得られる再生信号を所定の等化方式で等化し、トレリス線図に基づいて最尤パスを選択することによって復号結果を得るビタビ復号化処理を行うデジタル信号復号化処理装置において、以下に示す構成とすることにより、GCRコードを用いることで記録媒体上の書き込み遷移の密度を制御可能となるとともに、復号化処理に関わる演算およびそのための回路構成が単純となり、磁気記録プロセスの非線形性に起因する波形等化の誤差の影響が少なくなる。すなわち、復号誤りが少ないEPRMLチャネル方式で高密度な磁気記録を実現するデジタル信号復号化処理装置を、比較的小規模で生産コストの低い演算回路によって構成することができる。

【0058】①現在アナログ信号から再生中の再生ビットおよび当該再生ビットに統いて得られる複数の後続ビットについての等化値に基づき、前記トレリス線図における演算対象の状態ノード数を常に一定数に制限する状態ノード制限回路を具備する。

【0059】②前記状態ノード制限回路は、当該再生ビットにおける前記トレリス線図の状態ノードから得られるメトリック値および各々の当該後続ビットにおける前記トレリス線図の状態ノードに基づく最尤パスから得られるメトリック値を加算するメトリック値加算回路と、前記メトリック値加算回路に算出された加算値に基づいて次の再生ビットにおける演算対象の状態ノードを選択する状態ノード選択回路とを具備する。

【0060】③前記等化方式を、バーシャルレスポンス方式または拡張バーシャルレスポンス・クラス4 (EPRML) 方式

R4) 方式とする。

【0061】④①における前記再生信号を、8/9 GCR (Group Coded Record-ing) コードで符号化された信号を再生したものとする。

【0062】⑤③における前記後続ビットの数を3ビット、選択される演算対象の状態ノードの数を2ノードとする。

【0063】⑥①における当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの前記後続ビットの各々に対して、それぞれの遷移可能な状態ノードに基づく最尤パスからのメトリック値の算出および保持に用いるレジスタを具備する。

【0064】⑦①における当該再生ビットについて一定数に制限された状態ノードから求められる次の再生ビットで遷移可能な状態ノードの組合せの各々に対して、メトリック値の差の算出および保持に用いるレジスタを具備する。

【図面の簡単な説明】

20 20 【図1】本発明のデジタル信号復号化処理装置が適用される磁気記録再生回路の概略構成を示すブロック図である。

【図2】本発明のデジタル信号復号化処理装置の全体構成の一例を示すブロック図である。

【図3】EPRMLチャネル方式による復号化処理結果の一例を示す図である。

【図4】EPRMLチャネル方式におけるトレリス線図の一例を示す図である。

30 30 【図5】本発明のデジタル信号復号化処理装置における生き残りパスの選択方法を説明するための図である。

【図6】本発明のデジタル信号復号化処理装置における最短パスの選択方法を説明するための図である。

【図7】図6に示した最短パスの選択方法で用いられる定数の一例を示す図である。

【図8】本発明のデジタル信号復号化処理装置の全体構成の一例を詳細に示す図である。

【図9】図8における最適パス予測回路の一構成例を示す図である。

【図10】図9における等化値の範囲演算回路の一構成例を示す図である。

40 40 【図11】等化値の範囲に対応する符号の定義の一例を示す図である。

【図12】等化値の和の範囲に対応する符号の定義の一例を示す図である。

【図13】図9における最短パス選択回路の一構成例を示す図である。

【図14】図9における選択回路の一構成例を示す図である。

【図15】図14の回路でのメトリック選択の組合せを説明するための図である。

17

【図16】図8におけるメトリック計算回路の一構成例を示す図である。

【図17】図8における最尤バス候補選択回路の一構成例を示す図である。

【図18】図8におけるバス決定回路の一構成例を示す図である。

【図19】図18におけるバス選択回路の一構成例を示す図である。

【図20】図19の回路で選択される組合せの一例を示す図である。

【図21】図8におけるバスメモリ回路の一構成例を示す図である。

【図22】図21における復号値決定回路の一構成例を示す図である。

【図23】図22の回路における復号値を選択する組合せの一例を示す図である。

【図24】図21の回路におけるセレクタの制御信号の一例を示す図である。

18

【図25】図8におけるバスメトリック更新回路の一構成例を示す図である。

【図26】図25の回路における生き残りノードの組合せとメトリック差との対応関係の一例を示す図である。

【図27】本発明のデジタル信号復号化処理装置におけるビットエラー率の一具体例を示す図である。

#### 【符号の説明】

11 プリアンプ

12 フィルタ

10 13 ADC

14 波形等化回路

15 最尤バス予測回路

16 メトリック計算回路

17 最尤バス候補選択回路

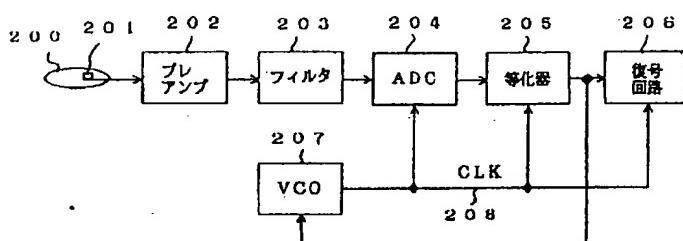
18 バスマモリ

19 バスマトリック更新回路

21 パス決定回路

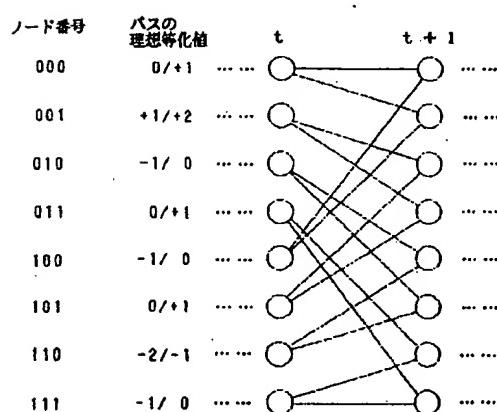
【図1】

【図1】



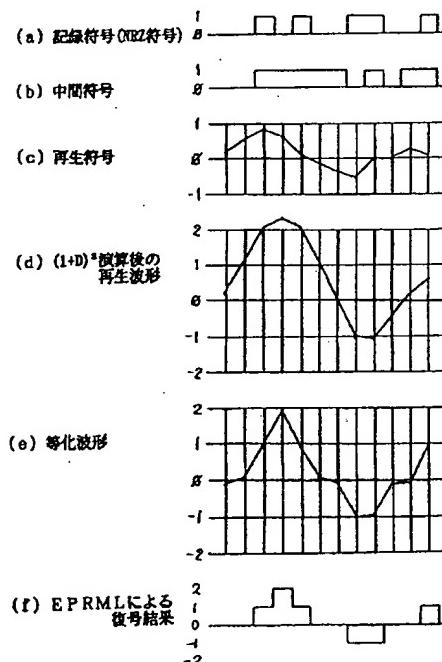
【図4】

【図4】



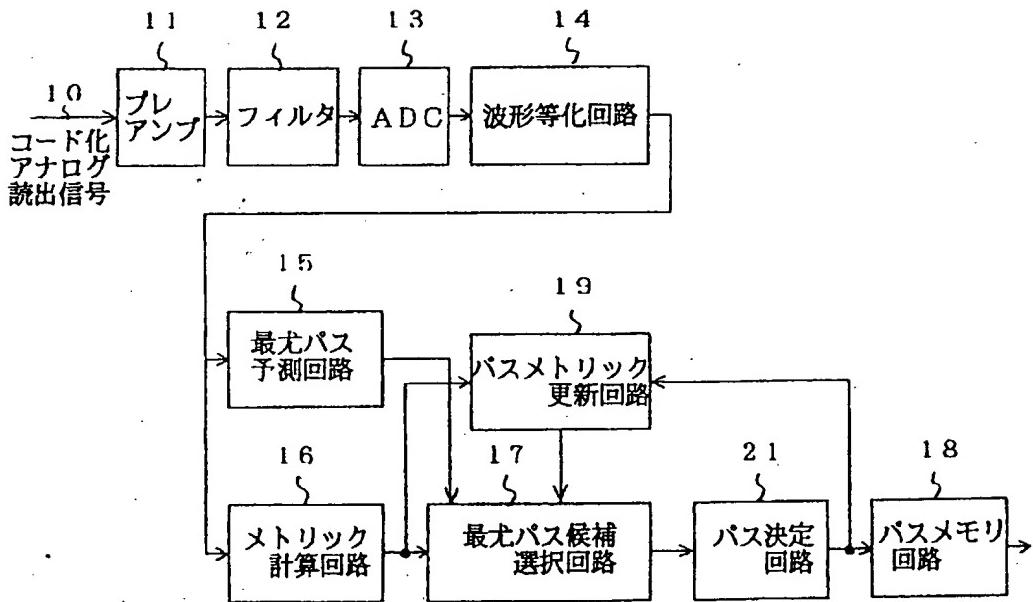
【図3】

【図3】

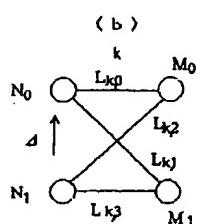
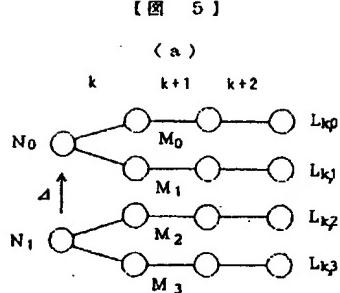


【図2】

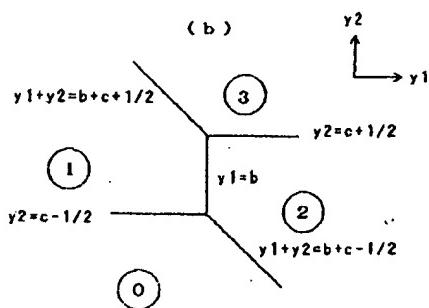
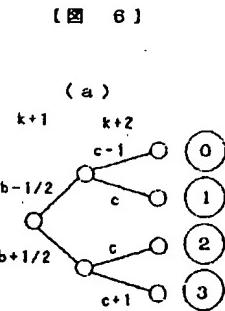
【図2】



【図5】



【図6】



【図23】

旧ノード	1になる分岐
000	下
001	上
010	上
011	下
100	上
101	下
110	下
111	上

【図7】

【図7】

ノード番号	b	c	$b+c+1/2$	$b+c+1/2$
000	1/2	1	2	1
001	3/2	0	2	1
010	-1/2	0	0	-1
011	1/2	-1	0	-1
100	-1/2	-1	1	0
101	1/2	0	1	0
110	-3/2	0	-1	-2
111	-1/2	-1	-1	-2

【図11】

【図11】

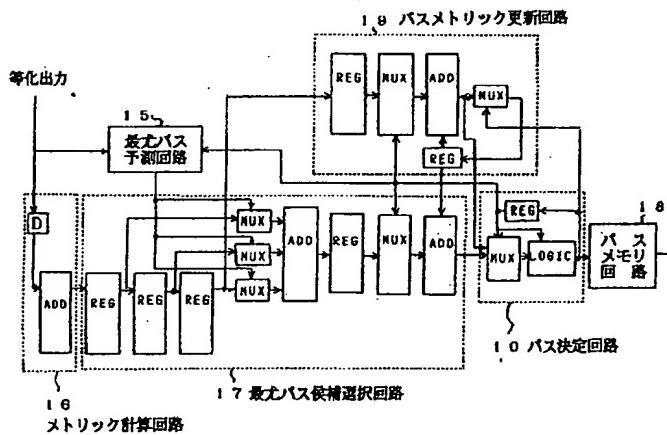
yの範囲	符号
$y+1/2 \geq 2$	100
$y+1/2 \geq 1$	011
$y+1/2 \geq 0$	010
$y+1/2 \geq -1$	001
$y+1/2 < -1$	000

【図13】

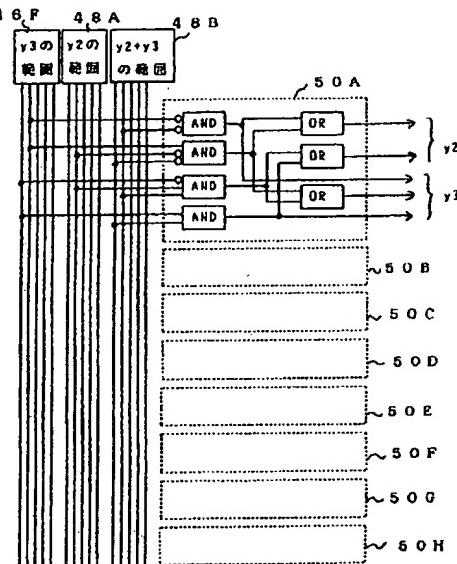
【図8】

【図13】

【図8】



【図12】

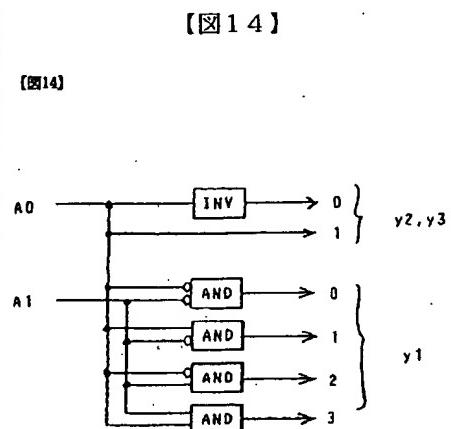


【図12】

$y_3+y_4$ の範囲	符号	比較する一定値
$y_3+y_4 \geq 2$	1000, 0111	—
$1 \geq y_3+y_4 \geq 0$	0110	2
$0 \geq y_3+y_4 \geq -1$	0101	1
$-1 \geq y_3+y_4 \geq -2$	0100	0
$0 \geq y_3+y_4 \geq -2$	0011	-1
$-2 \geq y_3+y_4 \geq -3$	0010	-2
$y_3+y_4 < -2$	0001, 0000	—

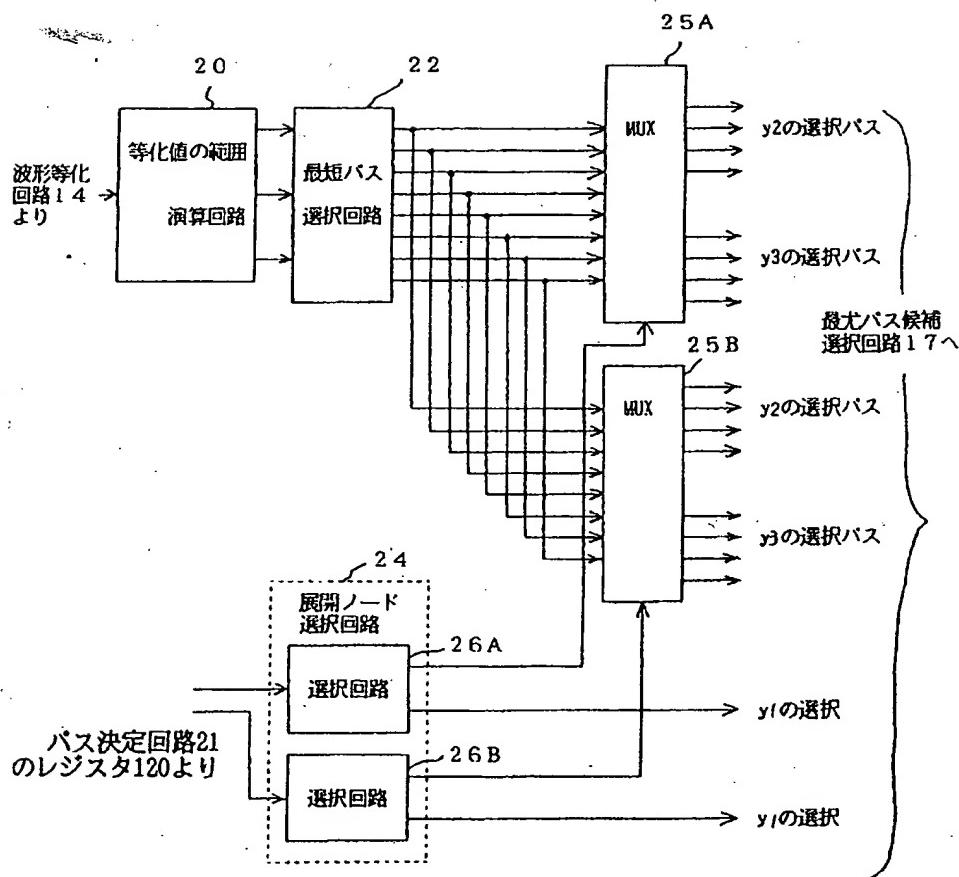
【図14】

【図14】



【図9】

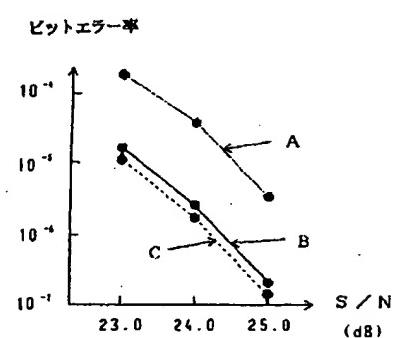
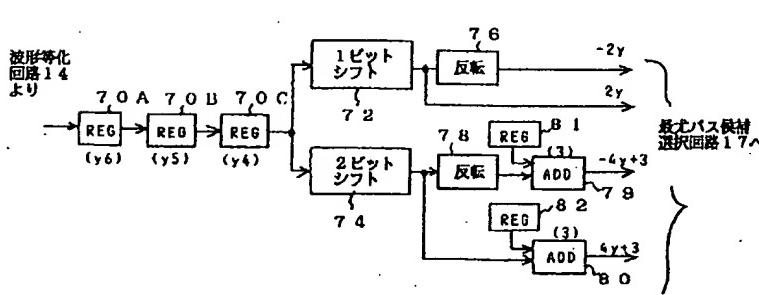
[図9]



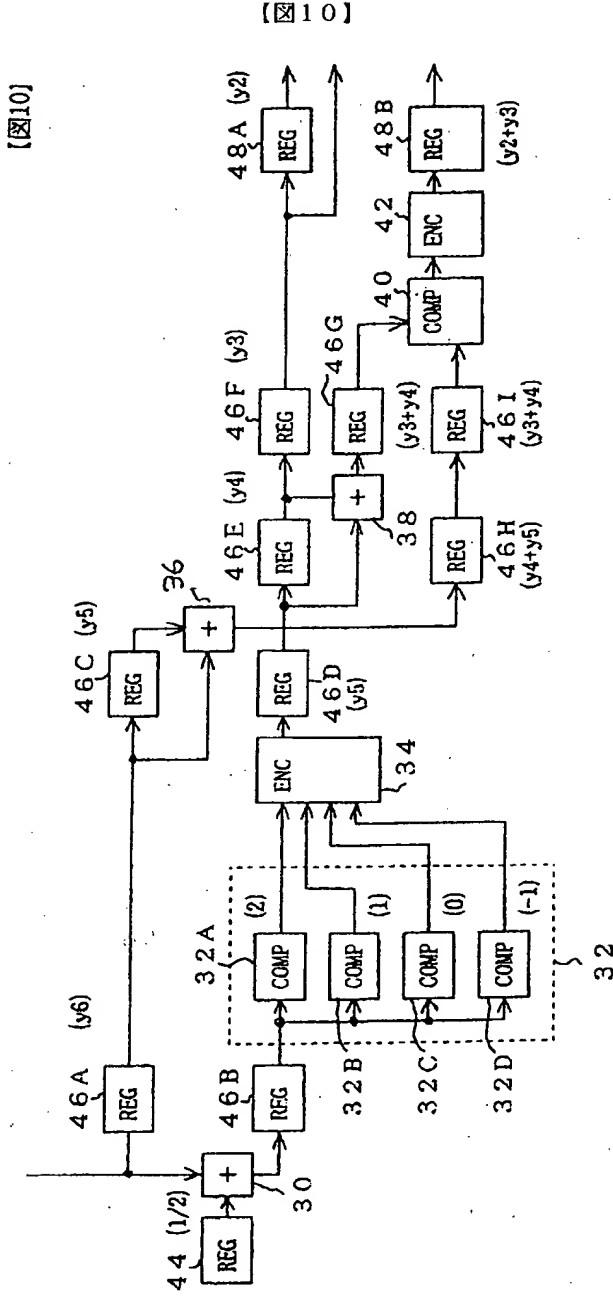
【図16】

【図27】

[図16] (図27)



発明等化回路 1.4 より



【図15】

【図15】

(a) y1のメトリック選択

最適ノード	A1,A0	次ノード	Hとなる出力	バスのメトリック
0	00	0, 1	0	0, 1, 1, 2
1	01	2, 3	1	-1, 0, 0, 1
2	10	4, 5	2	-1, 0, 0, 1
3	11	6, 7	3	-2, -1, -1, 0
4	00	0, 1	0	0, 1, 1, 2
5	01	2, 3	1	-1, 0, 0, 1
6	10	4, 5	2	-1, 0, 0, 1
7	11	6, 7	3	-2, -1, -1, 0

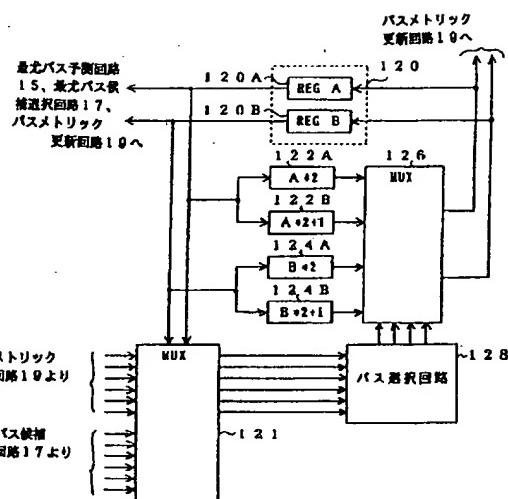
(b) y2, y3のメトリック選択

最適ノード	A0	Hとなる出力	始端のノード番号
0	0	0	0, 1, 2, 3
1	1	1	4, 5, 6, 7
2	0	0	0, 1, 2, 3
3	1	1	4, 5, 6, 7
4	0	0	0, 1, 2, 3
5	1	1	4, 5, 6, 7
6	0	0	0, 1, 2, 3
7	1	1	4, 5, 6, 7

【図17】

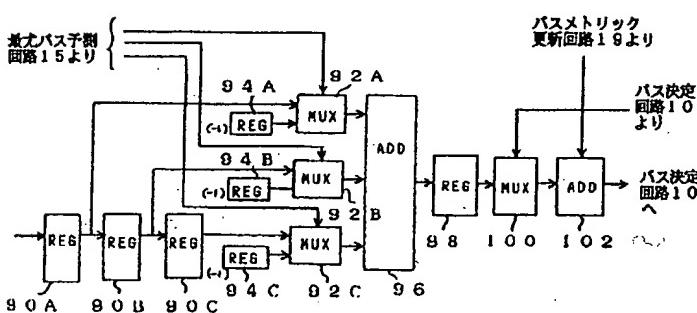
【図18】

【図18】



【図19】

【図19】



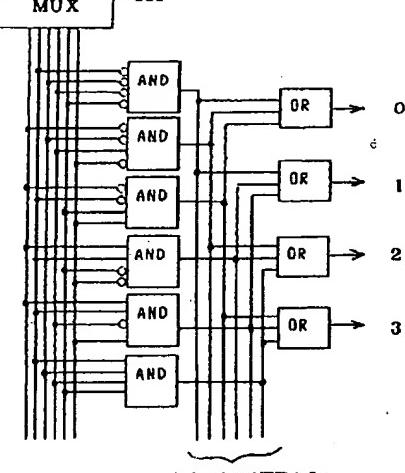
【図20】

【図20】

選択されるバス組合せ

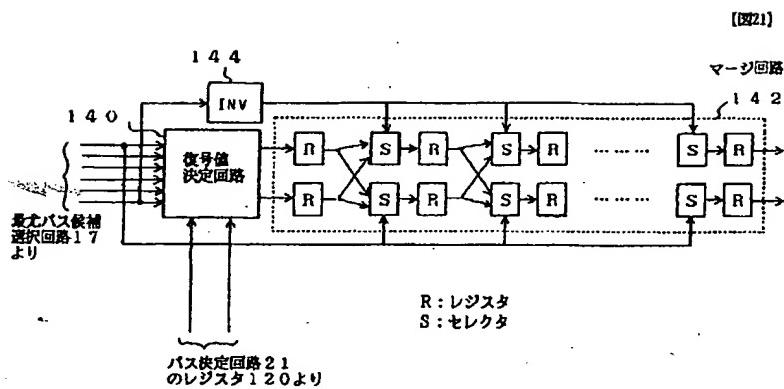
	(0, 1)	(0, 2)	(0, 3)	(1, 2)	(1, 3)	(2, 3)
$a' - b' \geq 0$	—	0	0	1	1	—
$a' - c' + d \geq 0$	0	—	0	1	—	1
$a' - d' + d \geq 0$	0	0	—	—	1	1
$b' - c' + d \geq 0$	0	1	—	—	0	1
$b' - d' + d \geq 0$	0	—	1	0	—	1
$c' - d' \geq 0$	—	0	1	0	1	—

【図17】



バスメモリ回路18へ

【図21】



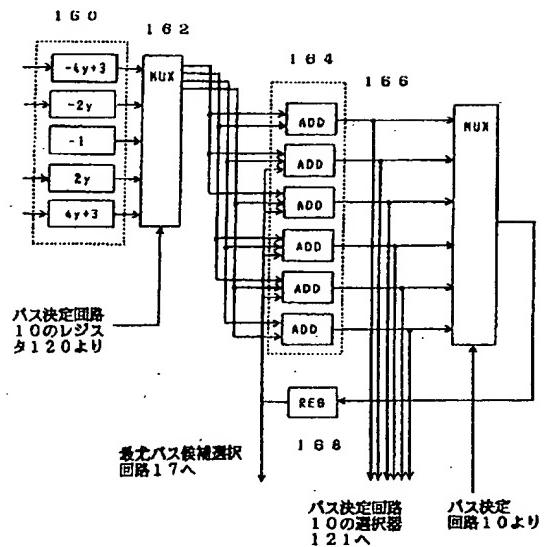
【図24】

[図24]

生き残りノード	上側バス	下側バス
(0, 1)	0	0
(0, 2)	0	1
(0, 3)	0	1
(1, 2)	0	1
(1, 3)	0	1
(2, 3)	1	1

【図25】

[図25]

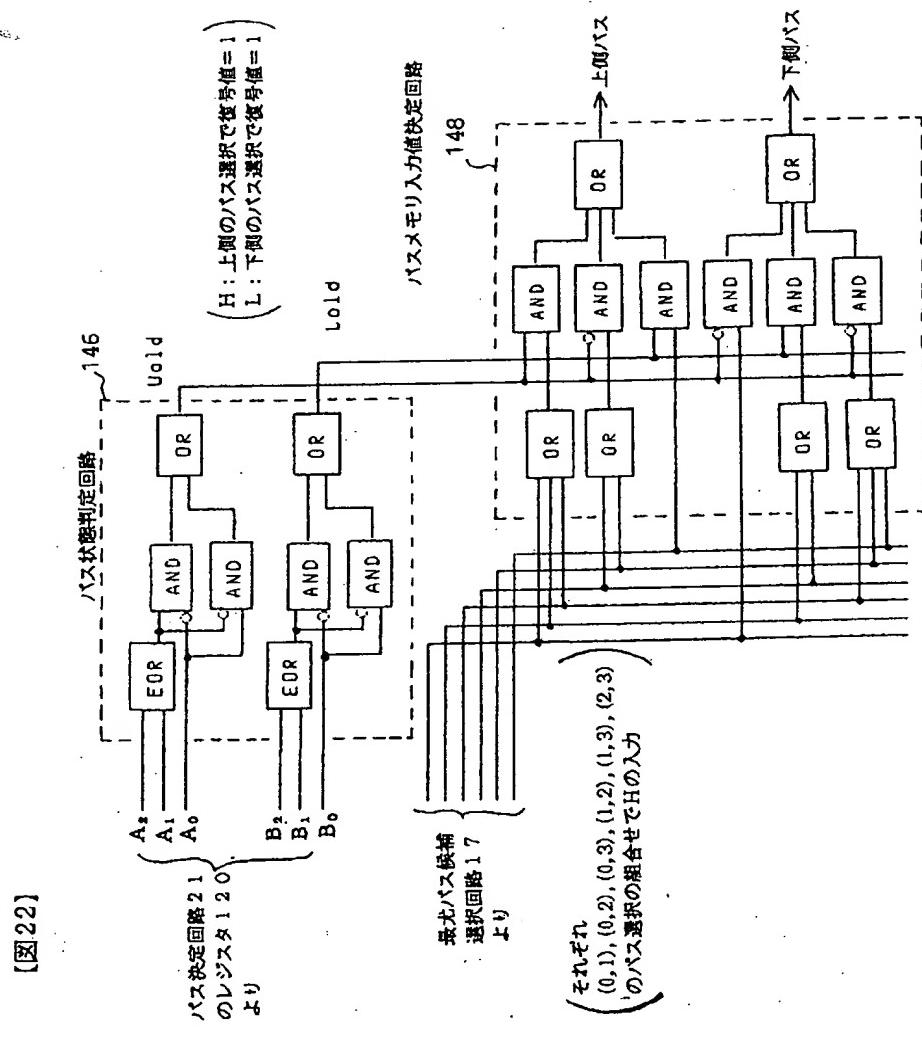


【図26】

[図26]

生き残りノード	新しい $\Delta$
(0, 1)	$a - b$
(0, 2)	$a - c + \Delta$
(0, 3)	$a - d + \Delta$
(1, 2)	$b - c + \Delta$
(1, 3)	$b - d + \Delta$
(2, 3)	$c - d$

【図22】



フロントページの続き

(72)発明者 高師 輝実

神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内

(72)発明者 山川 秀之

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所システム開発研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**